أداء وفعالية خلايا $SRAM_s$ عند الاستخدام في التطبيقات المختلفة

طالب الماجستير: هلال احمد تكروني كلية الهمك قسم الهندسة الالكترونية والاتصالات

الدكتور المشرف: مجد الدين العلي المشرف المشارك: الدكتور مازن يوسف

الملخص

تعد ذاكرة الوصول العشوائي الستاتيكية ((Static Random Access Memory (SRAM) جزءاً أساسياً في الدارات عالية التكامل جدا ((Very Large Scale Integration (VLSI) و الأجهزة الإلكترونية وتستخدم على نطاق واسع في الأنظمة المضمنة وتطبيقات النظام على رقاقة ((System On Chip (SOC) الحديثة.

قمنا في هذه المقالة بتحليل خلية 6T SRAM التقليدية بالإضافة لعدة خلايا SRAMs أخرى وهي خلية HVT 6T SRAM وخلية 10T SRAM وخلية SE PPN 10T SRAM من حيث استهلاك الاستطاعة والاستقرار وتأخير القراءة والكتابة والمساحة ومن ثم مقارنتها فيما بينها لتحديد التطبيق المناسب لها. حيث أظهرت نتائج المحاكاة بأن الخلية HVT 6T SRAM تتمتع بأقل استهلاك استطاعة بين الخلايا المدروسة وبالتالي فإن هذه الخلية مناسبة للتطبيقات التي تتطلب استهلاك استطاعة منخفض، كما أظهرت خلية 10T SRAM التأخير الأقل في كل من عمليات القراءة والكتابة بين الخلايا المدروسة ولذلك تعتبر هذه الخلية مناسبة للتطبيقات عالية السرعة، وأظهرت الخلية SE PPN 10T SRAM استقرار قراءة عالٍ جداً مقارنةً بباقي الخلايا وبالتالي هذه الخلية مناسبة للتطبيقات التي تتطلب استقراراً عالٍ.

الكلمات المفتاحية:

6T SRAM التقليدية ، HVT 6T SRAM ، 10T SRAM ، SE PPN 10T SRAM ، هامش الضجيج الستاتيكي SNM، تطبيقات خلايا SRAM.

Performance and efficiency of SRAMs cells when used in various applications

Abstract

Static Random Access Memory (SRAM) is an essential part of Very Large Scale Integrated (VLSI) circuits and electronic devices and is widely used in embedded systems and modern System On Chip (SOC) applications.

In this article, we analyzed the conventional 6T SRAM cell in addition to several other SRAMs cells, namely HVT 6T SRAM cell, 10T SRAM cell, and SE PPN 10T SRAM cell in terms of power consumption, stability, reading and writing delay and area, and then comparing them with each other to determine the appropriate application for them. The simulation results showed that the HVT 6T SRAM cell has the lowest power consumption among the studied cells and thus this cell is suitable for applications that require low power consumption. The 10T SRAM cell also showed the least delay in both reading and writing processes between the studied cells and therefore this cell is suitable for high speed applications , SE PPN 10T SRAM cell showed very high reading stability compared to the rest of the cells and thus this cell is suitable for applications requiring high stability.

key words:

6T SRAM conventional, HVT 6T SRAM, 10T SRAM, SE PPN 10T SRAM, static noise margin SNM, SRAM cell applications.

1. المقدمة:

تتطلب الأجهزة المحمولة التي تعمل بالاعتماد على البطاريات مثل الهواتف الذكية وأجهزة الحاسب المحمولة العمل المستمر من اجل التقليل من استهلاك الطاقة بهدف إطالة عمر البطارية قدر الإمكان. تشغل ذواكر الوصول العشوائي الستاتيكية SRAM مساحة كبيرة في أنظمة (VLSI) الحديثة حيث أنه وفقاً لتوقعات خارطة طريق التكنولوجيا الدولية لأنصاف النواقل ((ITRS) International Technology Roadmap for Semiconductors) فان $SRAM_s$ تشغل حوالي 90% من مساحة النظام على الرقاقة (SOC) وتعتبر SRAM المستهلك الرئيسي للاستطاعة في هذه الأنظمة [1]. لذلك يعتبر تصميم خلية SRAM ذات استهلاك استطاعة منخفض أمر في غاية الأهمية وتم اقتراح العديد من البنى لخلايا SRAM وذلك لحل هذه المشكلة ومنها خلية 8T SRAM التي استخدمت تقنية Power Gating التي تعمل على تخفيض استهلاك الاستطاعة الستاتيكية [2]. كما تم اقتراح خلية 10T SRAM تعتمد على بنية عاكس مختلفة وهو عاكس محيز المصدر يساهم في تخفيض الاستطاعة الكلية المستهلكة [3].

إضافةً إلى مشكلة استهلاك الاستطاعة في خلايا SRAM فان هناك مشكلة أخرى لا تقل أهميةً عنها وهي استقرار خلية SRAM ومدى قدرتها على القيام بالعمليات المطلوبة بنجاح وقدرتها على تحمل الضجيج، حيث ان الاستمرار في تصغير حجم التكنولوجيا بالاعتماد على تصغير أبعاد الترانزستورات سيرافقه انخفاض في الجهد الذي تتحمله هذه الترانزستورات وبالتالي انخفاض جهد التغذية لخلية SRAM وهو ما يجعل استقرار خلايا SRAM يتدهور بشكلٍ كبير وتصبح أكثر حساسيةً للضجيج. لذلك من الضروري تصميم خلايا SRAM جديدة قادرة على تعزيز الاستقرار وخاصة استقرار القراءة الذي يعتبر من أهم مشاكل خلية 6T SRAM التقليدية.

تم اقتراح عدة خلايا لتحسين الاستقرار ومنها خلية 10T SRAM القائمة على قادح شميت ((Schmitt Trigger (ST) وهو عاكس يتميز بخصائص نقل جهد ((VTC) Voltage Transfer Characteristics) حاد جداً مما يحسن من استقرار القراءة والقدرة على الكتابة [4]. كما تم اقتراح خلية 11T SRAM التي تعتمد على إضعاف حلقة التغذية العكسية أثناء عملية الكتابة وذلك لزيادة القدرة على الكتابة [5].

تتميز ذواكر SRAM بسرعة عالية مقارنةً بذواكر DRAM لذلك تستخدم في التطبيقات عالية السرعة ويعمل الباحثون دائماً على تطوير خلايا جديدة تتميز بتأخير منخفض في عمليات القراءة والكتابة كما هو الحال في خلية 5T SRAM والتي تتميز بسرعة عالية نتيجة استخدام 5 ترانزستورات فقط في الخلية [6].

قمنا في هذا البحث بتحقيق عدة بنى لخلايا SRAM باستخدام برنامج Cadence Virtuoso 6.1.5 وذلك من أجل الوصول إلى معرفة واضحة عن مختلف خصائص هذه الخلايا من أجل تحديد المجال التطبيقي الانسب لكل منها.

2. هدف البحث:

يهدف هذا البحث إلى دراسة عدة انواع من خلايا $SRAM_s$ لتحديد الخلية الأنسب استخداماً لكل مجال تطبيقي سوءاً كانت هذه التطبيقات تهتم بالدرجة الأولى بالسرعة العالية أو استهلاك الاستطاعة المنخفض أو الاستقرار العالي.

3. مواد وطرق البحث:

طريقة البحث تجريبية واستخدمنا برنامج Cadence Virtuoso 6.1.5 الذي يعمل على نظام Linux عند التقنية gpdk 90 nm على حاسب بمواصفات RAM 4 GB وCPU 2.5 GHZ لأجراء عمليات المحاكاة لخلايا الذاكرة المختلفة.

4. تحليل خلايا SRAM :

نقوم بتحليل خلايا SRAM من خلال دراسة كل من:

1. **الاستقرار:** يعبر عن مدى قدرة خلية SRAM على اداء عملياتها المختلفة بنجاح بوجود الضجيج ومن اهم طرق حساب الاستقرار هو هامش الضجيج الستاتيكي ((Static Noise Margin (SNM)).
2. **الاستطاعة:** هي الاستطاعة التي تقوم خلية SRAM باستهلاكها خلال قيامها بوظائفها المختلفة وهي القراءة والكتابة والمسك.
3. **الزمن:** يعبر عن مدى سرعة خلية SRAM بالقيام بكل من عمليات القراءة والكتابة.
4. **المساحة:** هي المساحة التي تشغلها خلية SRAM على الرقاقة.

وسوف نعتمد على البارامترات السابقة في تحليل أداء مختلف أنواع خلايا SRAM من أجل الوصول إلى معرفة واضحة عن خصائصها.

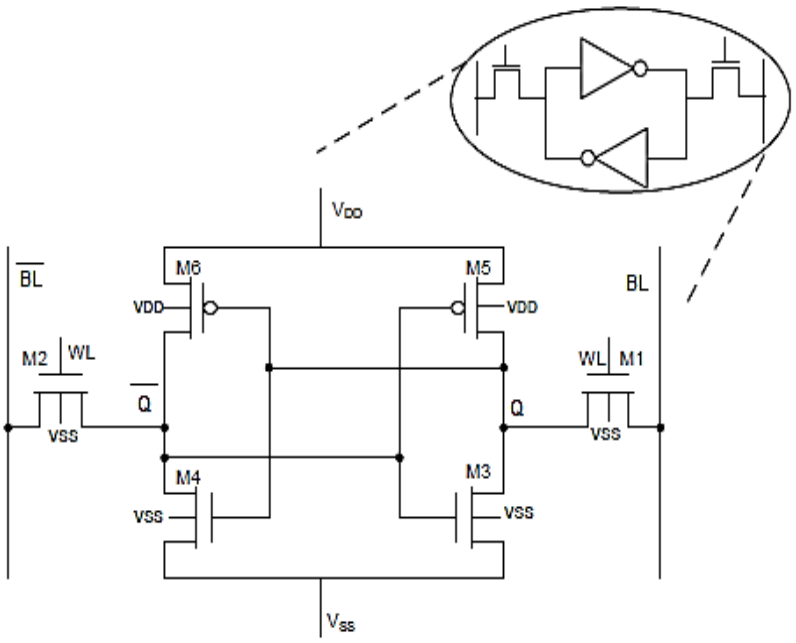
5. أنواع خلايا SRAM:

أدت الأهمية الكبيرة للذواكر SRAM في مختلف التطبيقات والناتجة عن تأثيرها الكبير على أداء الأنظمة إلى العمل المستمر على اقتراح بنى جديدة لتحسين بارامترات معينة وفقاً لمتطلبات هذه التطبيقات.

قمنا في الفقرة التالية بتحليل أداء عدة انواع من خلايا SRAM وهي على الشكل التالي:

5.1 خلية 6T SRAM التقليدية:

تتكون خلية 6T SRAM التقليدية من 6 ترانزستورات حيث تعمل على تخزين بت واحد. 4 ترانزستورات NMOS (M3 M4) ، PMOS (M5 M6) تشكل عاكسين متصلين بشكلٍ متقاطع يقومان بالاحتفاظ بالبيانات عند العقدة الأساسية Q ومكملتها $\overline{Q}$ وترانزستورين وصول NMOS (M1 M2) يستخدمان للوصول إلى الخلية عند تفعيل خط الكلمة (Word Line (WL)) لإجراء عمليات القراءة والكتابة، حيث أنه بمجرد تنشيط ترانزستورات الوصول فأنه يمكن وصل العقد الداخلية للخلية بمنافذ الدخل/ الخرج والتي تسمى خطوط البت (BL و $\overline{BL}$) كما هو مبيّن في الشكل (1) [7].



الشكل (1): خلية 6T SRAM التقليدية [7].

تقوم خلية SRAM بثلاث عمليات:

أ- عملية المسك:

تهدف هذه العملية إلى الاحتفاظ بالبيانات ويتم ذلك عن طريق عدم تفعيل ترانزستورات الوصول بتطبيق WL= 0.

ب- عملية القراءة:

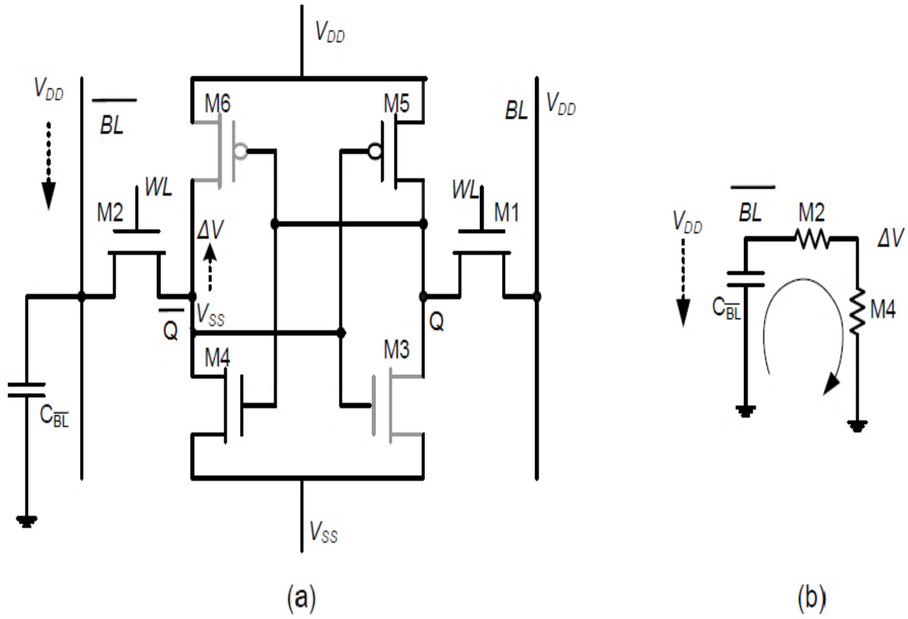
يتم خلالها قراءة البيانات المخزنة في خلية SRAM دون أن تؤثر هذه العملية على البيانات المخزنة في الذاكرة، أي أن عملية القراءة يجب ان تكون غير مدمرة للبيانات.

يوضح الشكل (2a) آلية عمل الخلية أثناء عملية القراءة حيث تحمل العقدة $\overline{Q}$ المنطق "0" وتحمل العقدة Q المنطق "1" وبالتالي تكون الترانزستورات M3 و M6 بحالة قطع والترانزستورات M4 و M5 بحالة عمل.

وتتم عملية القراءة وفق الخطوات التالية:

1. يتم شحن خطوط البت BL و $\overline{BL}$ مسبقًا إلى V_{DD}.
2. يتم تفعيل خط الكلمة بتطبيق WL= V_{DD} وبالتالي تفعيل ترانزستورات الوصول M1 و M2.
3. يسبب فرق الجهد بين خط البت $\overline{BL}$ والعقدة $\overline{Q}$ إلى مرور تيار من خلال الترانزستورات M2 و M4 يسمى تيار القراءة مما يؤدي لتفريغ خط البت $\overline{BL}$ وانخفاض جهده عن V_{DD}، بينما يبقى خط البت BL عند الجهد المرتفع V_{DD}.
4. يتم تضخيم فرق الجهد بين خطي البت BL و $\overline{BL}$ باستخدام مضخم حساس (sense amplifier) لإنتاج مستويات الجهد المطلوبة حيث يعطي جهداً منطقياً مرتفعاً أو منخفضاً وذلك وفقاً لخط البت الذي قام بالتفريغ.

تشكل الترانزستورات M2 و M4 مقسمًا للجهد ويرفعان جهد العقدة $\overline{Q}$ بمقدار ΔV. لضمان عملية قراءة غير مدمرة للبيانات المخزنة في الذاكرة فأنه يجب أن لا تؤدي ΔV إلى تشغيل العاكس M3-M5 وبالتالي هذا يضمن بقاء العقدة Q عند القيمة V_{DD} خلال عملية القراءة.



الشكل (2): (a) حالة الخلية أثناء عملية القراءة ، (b) النموذج المكافئ لمسار تفريغ خط البت $\overline{\text{BL}}$ [7].

يوضح الشكل (2b) النموذج المكافئ لمسار تفريغ خط البت $\overline{\text{BL}}$ حيث يتم شحن سعة خط البت $C_{\overline{BL}}$ مسبقًا إلى V_{DD} وعند تنشيط M2 فأنه يتم تفريغ $C_{\overline{BL}}$ عبر M2 وM4 مما يسبب انخفاض بجهد خط البت $\overline{\text{BL}}$. من الواضح أنه يمكن تحقيق تفريغ أسرع لخط البت عن طريق تقليل المقاومة في مسار التفريغ ولكن ذلك يتم مقابل أحجام ترانزستورات (W/L) أكبر للخلية وهو ما لا ينصح به لذاكرة SRAM عالية الكثافة.

من المهم أن نشير إلى أنه لضمان عملية قراءة غير مدمرة للبيانات يجب أن يكون الجهد ΔV أقل من جهد العتبة للترانزستور M3 لكي لا يتغير خرج العاكس M3−M5 عند العقدة Q، يتم التحكم في مستوى الجهد ΔV بواسطة نسبة المقاومة M2 وM4. لتقييم استقرار البيانات المخزنة أثناء عملية القراءة فأنه يتم تحديد نسبة الخلية (Cell Ratio (CR)) التي تعرف بنسبة ترانزستورات الخفض (M3 وM4) إلى ترانزستورات الوصول (M1 وM2) وفق العلاقة:

$$CR = \frac{(W/L)_{M4}}{(W/L)_{M2}} \qquad \ldots\ldots\ldots\ldots\ldots\ldots\ldots\ldots\ldots\ldots (1)$$

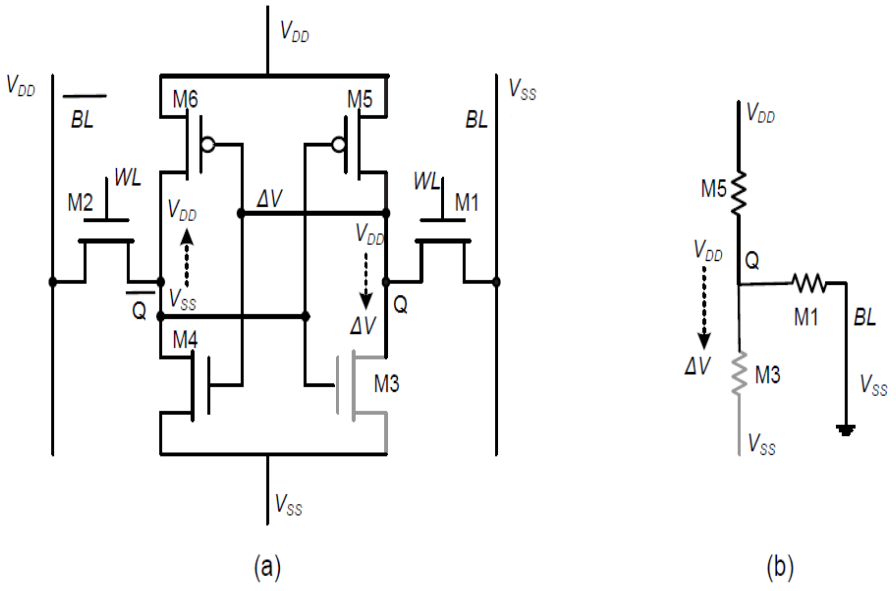
W و L هما عرض وطول ترانزستورات MOS على التوالي. حيث تؤدي نسبة الخلية CR الأعلى إلى انخفاض ΔV وينتج عنها عملية قراءة أكثر استقراراً.

ت- عملية الكتابة:

يتم من خلال عملية الكتابة ضبط بيانات خلية SRAM على القيمة المراد كتابتها بغض النظر عن بياناتها الأصلية.

يوضح الشكل (3a) آلية عمل الخلية أثناء عملية الكتابة حيث أنه تم افترض أن الحالة الأولية للعقدتين هي $Q=V_{DD}$ و $\overline{Q}=V_{SS}$. تكتمل عملية الكتابة إذا أصبح مستوى الجهد على العقد $Q=V_{SS}$ و $\overline{Q}=V_{DD}$ وذلك بتطبيق القيمة المراد كتابتها على خط البت BL والقيمة المكملة لها على خط البت $\overline{BL}$ ويتم ذلك وفق الخطوات التالية:

1. يتم تطبيق القيم $BL=V_{SS}$ و $\overline{BL}=V_{DD}$ على خطي البت.
2. يتم تفعيل خط الكلمة بتطبيق $WL=V_{DD}$ وبالتالي تفعيل ترانزستورات الوصول M1 و M2.
3. بسبب فرق الجهد بين خطي البت BL و $\overline{BL}$ والعقد Q و $\overline{Q}$ فان العقدة Q تبدأ بالتفريغ عبر خط البت BL والقعدة $\overline{Q}$ تبدأ بالشحن عبر خط البت $\overline{BL}$ الى ان تقلب الحالة المنطقية للخلية وتصبح $Q=V_{SS}$ و $\overline{Q}=V_{DD}$.



الشكل (3): (a) حالة الخلية أثناء عملية الكتابة، (b) النموذج المكافئ لمسار تفريغ العقدة Q عبر خط البت BL [7].

كما ذكرنا سابقاً فأنه وبالنسبة إلى قيمة CR مناسبة لا يمكن أن يتسبب تنشيط خط الكلمة في زيادة جهد العقدة $\overline{Q}$ بشكلٍ كافٍ لتغير حالة العاكس (M5–M3) ، لذلك يتم الاعتماد على تفريغ العقدة Q عبر خط البت BL إلى الجهد ΔV وفق مسار التفريغ M5 و M1 المبيّن في الشكل (3b) من اجل قلب حالة العاكس (M6–M4) والذي بدوره يقوم بقلب حالة العاكس (M5–M3) وبالتالي تتغير الحالة المنطقية للخلية.

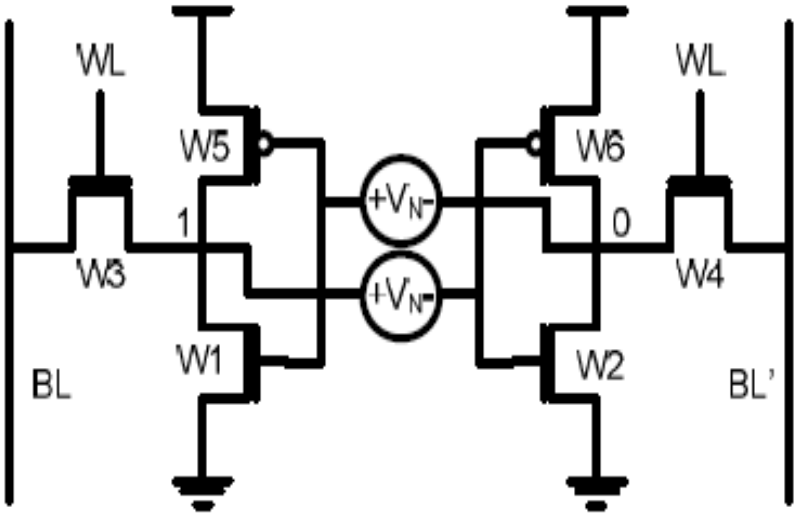
تشكل عملية الكتابة مقسم جهد يتكون من M5 و M1 والتي تحديد نسبة السحب ((Pull Up Raito (PR) التي تعرف بأنها نسبة ترانزستورات الرفع (M5 و M6) إلى ترانزستورات الوصول (M1 و M2) وفق العلاقة:

$$PR = \frac{(W/L)_{M5}}{(W/L)_{M1}} \quad \dots\dots\dots\dots\dots\dots\dots\dots\dots\dots\dots\dots\dots\dots\dots\dots\dots\dots\dots\dots (2)$$

يحدد PR الجهد ΔV الذي يظهر في العقدة Q عند تنشيط خط الكلمة في عملية الكتابة وبالتالي يمكن ضمان عملية كتابة ناجحة عن طريق اختيار قيمة PR مناسبة، حيث أنه ينتج عن انخفاض قيمة PR انخفاض في ΔV والتي يجب أن تكون أصغر ما يمكن لضمان قلب حالة العاكس (M6–M4) وبالتالي تغير البيانات المخزنة في الخلية. من أجل تحقيق قيمة PR منخفضة فأنه من المستحسن استخدام ترانزستورات وصول تمتلك قيمة (W/L) أكبر مع الانتباه إلى أن ذلك يهدد استقرار الخلية أثناء عملية القراءة بسبب تأثير نسبة الخلية CR وهذا يستدعي مقايضة بين استقرار البيانات في عملية القراءة والقدرة على الكتابة.

5.1.1 الاستقرار:

يعتبر هامش الضجيج الستاتيكي (SNM) من أهم المقاييس للتعبير عن استقرار الخلية والذي يتم الحصول عليه بافتراض وجود منبعين للضجيج DC ذات قطبية متعاكسة V_N (الحالة الأسوء للضجيج) على العقد الداخلية لخلية SRAM كما هو مبيّن في الشكل (4)، ومن ثم رسم منحني خصائص نقل الجهد VTC للعاكس الأول ومعكوس منحني VTC للعاكس الثاني لتشكيل ما يسمى منحني الفراشة (Butterfly curve) والذي يعتبر طريقة لقياس استقرار الخلايا المصمّمة في وجود الضجيج [8].



الشكل (4): خلية SRAM مع منابع ضجيج VN ذات قطبية متعاكسة [8].

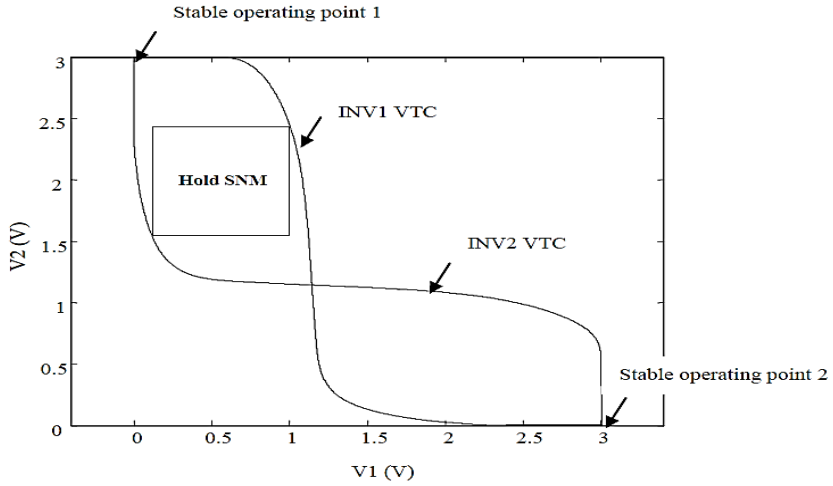
لتحديد القيمة المعبرة عن الاستقرار يتم رسم أكبر مربع ممكن في كل عين لمنحني الفراشة حيث أن إحداهما يدل على استقرار البيانات (0) والأخر على استقرار البيانات (1) ونختار المربع الأصغر بينهما والذي يعبر عن حالة الاستقرار الأسوء ونأخذ طول الضلع له كقيمة تمثل هامش الضجيج الستاتيكي SNM.

عن طريق هامش الضجيج الستاتيكي نحصل على ثلاث قيم تعبر عن مدى استقرار الخلية في كل من عملية المسك Hold Static Noise Margin (HSNM) وعملية القراءة Read Static Noise Margin (RSNM) وعملية الكتابة Write Static Noise Margin (WSNM).

أ- هامش الضجيج الستاتيكي للمسك HSNM:

يعرف هامش الضجيج الستاتيكي للمسك HSNM بأنه أقصى جهد ضجيج DC تتحمله خلية SRAM أثناء عملية المسك قبل ان تقلب البيانات وتفشل عملية الاحتفاظ بها.

يمكن الحصول على هذه القيمة من خلال رسم منحني الفراشة عندما تكون WL=0 فنحصل على الشكل (5) [9].

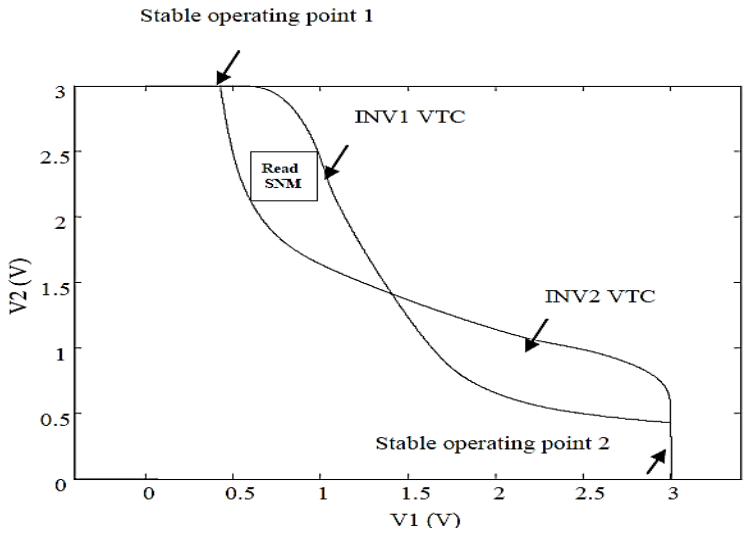


الشكل (5): منحني الفراشة خلال عملية المسك لاستخراج HSNM [9].

ب- هامش الضجيج الستاتيكي للقراءة RSNM:

يعرف هامش الضجيج الستاتيكي للقراءة RSNM بأنه أقصى جهد ضجيج DC تتحمله خلية SRAM أثناء عملية القراءة قبل أن تقلب البيانات وعادةً ما تكون هذه القيمة أقل من HSNM لأن الخلية يجب أن تقوم بالاحتفاظ بالبيانات رغم وجود تأثير خارجي عليها من خطوط البت ما يجعل حصانة الخلية للضجيج أقل بكثير.

يمكن الحصول على هذه القيمة من خلال رسم منحني الفراشة عندما تكون WL=1 وشحن خطوط البت BL و $\overline{BL}$ حتى V_{DD} فنحصل على الشكل (6).

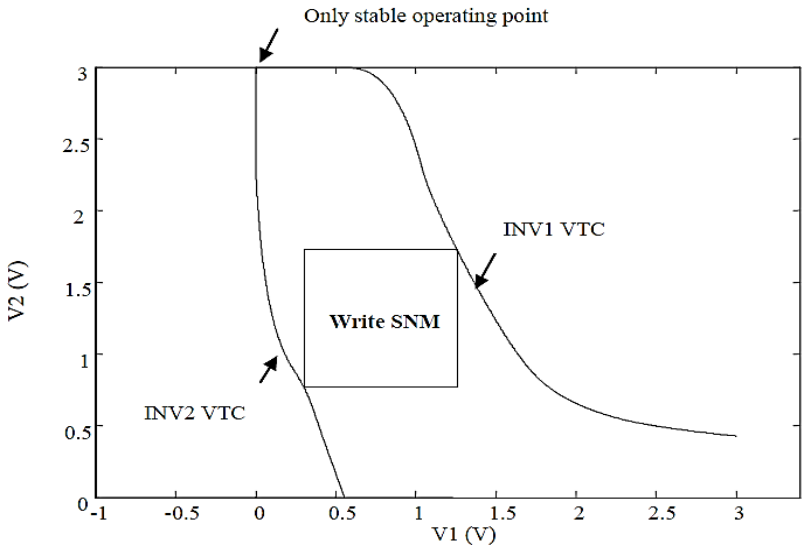


الشكل (6): منحني الفراشة خلال عملية القراءة لاستخراج RSNM [9].

ت- هامش الضجيج الستاتيكي للكتابة WSNM:

يعبر هامش الضجيج الستاتيكي للكتابة WSNM عن مدى القدرة على كتابة البيانات في الخلية ويعرف WSNM على أنه أقل جهد ضجيج قادر على منع الخلية من كتابة البيانات الجديدة.

يمكن الحصول على هذه القيمة من خلال رسم منحنيات VTC_s للعاكسين عندما تكون WL=1 ووضع القيمة المراد كتابتها ومكملها على خطوط البت BL و $\overline{BL}$ فنحصل على الشكل (7).



الشكل (7): منحنيات VTCs للعاكسين خلال عملية الكتابة لاستخراج WSNM [9].

من أجل عملية الكتابة الناجحة يجب أن تكون الخلية أحادية الاستقرار وأن تتقاطع منحنيات VTC_s في نقطة واحدة والتي تمثل الحالة المرغوب الانتقال اليها وفي حال وجود ضجيج كبير فإنه من الممكن أن تحدث إزاحة على كل من المنحنين ويلتقيان في نقطة استقرار ثانية مما يسبب فشل عملية الكتابة.

5.1.2 الاستطاعة:

تقسم مصادر تبديد الاستطاعة في الذاكرة SRAM إلى ثلاث أقسام [10] :

1. **الاستطاعة الديناميكية:** هي الاستطاعة المبددة أثناء الحالة النشطة مثل عمليات القراءة والكتابة عندما تتغير حالة الترانزستورات مما يؤدي لشحن أو تفريغ سعة عقد الخرج.
2. **الاستطاعة الستاتيكية (استطاعة التسرب):** هي الاستطاعة المبددة في الذاكرة أثناء حالة المسك والناتجة عن تيارات التسرب وخاصةً تيار العتبة الفرعية.

3. **استطاعة دارة القصر:** هي الاستطاعة المستهلكة عندما يبدل كلاً من ترانزستورات NMOS و PMOS حالتها معاً ويكون كلاهما بحالة توصيل لفترة قصيرة ويمكن اعتبار هذه الاستطاعة جزءاً من الاستطاعة الديناميكية.

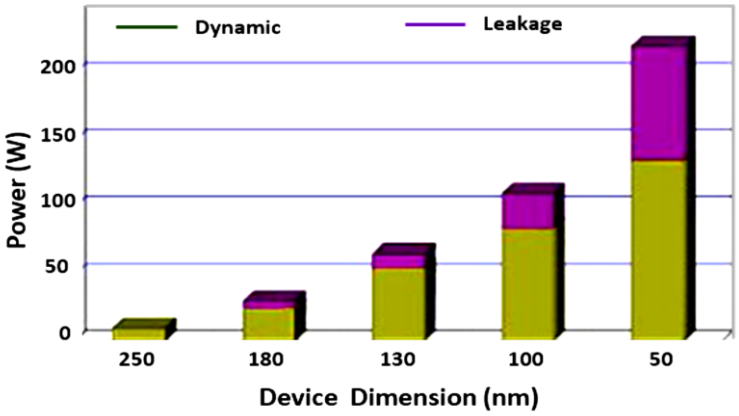
نلاحظ من الشكل (8) ان استهلاك الاستطاعة يزداد مع تصغير حجم التكنولوجيا ومن الواضح ازدياد تأثير استطاعة التسرب (الستاتيكية) التي في العقد الأصغر حيث تصبح أكثر أهميةً لأن تقلص الترانزستورات يوافقه تقلص بجهد العتبة V_T والذي يؤدي بدوره لزيادة تيار تسرب العتبة الفرعية وفق العلاقة (3) [11] بالنسبة لترانزستور NMOS وبالتالي زيادة استطاعة التسرب.

$$I_{ds}^{sub} = \frac{W}{L} I_{D0} e^{\left(\frac{V_{gs}-V_T-V_{off}}{n\, v_t}\right)} \left[1 - e^{-\frac{V_{ds}}{v_t}}\right] \qquad \text{when } V_{gs} < V_T \quad \ldots\ldots\ldots\ldots\ldots\ldots\ldots (3)$$

W : عرض الترانزستور ، L: طول الترانزستور، I_{D0} : ثابت، VT : جهد العتبة.

$v_t = kT / q$: الجهد الحراري و يساوي 26 mV في درجة حرارة الغرفة، حيث k هو ثابت Boltzmann و q هي شحنة الإلكترون.

n : بارامتر تأرجح العتبة الفرعية (ثابت)، V_{off}: ثابت ويساوي عادة V 0.08− .



الشكل (8): تبدد الاستطاعة عند تكنولوجيا المايكرو الفرعية العميقة (deep submicron) [10].

5.1.3 زمن التأخير (القراءة والكتابة):

هناك بارامترين يعبران عن الزمن في ذواكر الـ SRAM:

1. **تأخير القراءة:** بالنسبة للخلايا التفاضلية هو الفارق الزمني بين لحظة تنشيط WL إلى الزمن الذي يحدث عنده فرق الجهد بين خطي البت بمقدار 50 mv نتيجة تفريغ إحداهما، وفي حالة الخلايا أحادية النهاية هو الفارق الزمني بين لحظة تنشيط WL إلى الزمن الذي يحدث عنده فرق الجهد بين خط بت القراءة والجهد المرجعي (V_{DD}) بمقدار 50 mv [1].

2. **تأخير الكتابة:** يعرف زمن كتابة البيانات "0" بالفارق الزمني بين لحظة تفعيل WL إلى الزمن الذي ينخفض فيه جهد العقدة Q إلى 10 % من قيمتها العظمى [12].

يتأثر التأخير T_d بالتيار المار في الخلية بشكلٍ عكسي كما هو مبيّن في المعادلة التالية [5]:

$$T_d = \frac{(C_L \times V_{dd})}{I} = \frac{(C_L \times V_{dd})}{\frac{\mu C_{ox}}{2}(\frac{W}{L})(V_{dd} - V_T)^2} \quad \text{..... (4)}$$

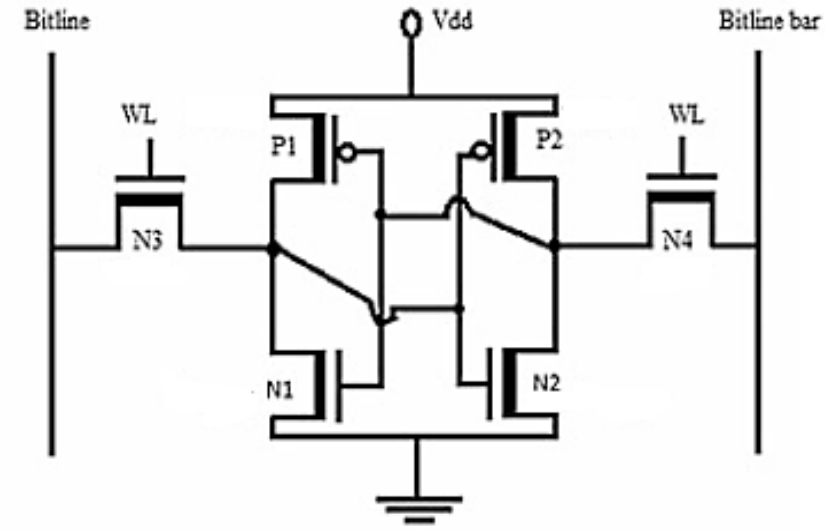
C_L : سعة الحمل، μ : حركية حوامل الشحنة، C_{ox}: سعة أوكسيد البوابة.

5.1.4 المساحة:

هي المساحة التي تشغلها الخلية ونحصل عليها برسم مخطط layout للخلية [13].

5.2 خلية 6T SRAM HVT (High Threshold Voltage SRAM):

هذه الخلية مشابهة تماماً لخلية 6T SRAM التقليدية ولها نفس آلية العمل في كل من عمليات القراءة والكتابة والمسك مع فارق أنه تم استخدام ترانزستورات ذات جهد عتبة عالٍ بدلاً من استخدام ترانزستورات ذات جهد عتبة منخفض كما هو مبيّن في الشكل (9) [14].



الشكل (9): خلية HVT 6T SRAM ذات جهود عتبة عالية [14].

ان استخدام ترانزستورات ذات جهد عتبة عالٍ يؤدي إلى انخفاض التيار المار في الترانزستور كما هو مبيّن في العلاقات (5 و 6) [11] التي تعبر عن تيار ترانزستور NMOS في المنطقة الخطية ومنطقة الاشباع:

المنطقة الخطية:

$$I_{ds}^{lin} = \beta\,([V_{gs} - V_T]V_{ds} - \frac{V_{ds}^2}{2}) \qquad \text{when } 0 < V_{ds} < V_{gs} - V_T \quad \ldots\ldots\ldots\ldots\ldots (5)$$

منطقة الاشباع:

$$I_{ds}^{sat} = \frac{\beta}{2}\,(V_{gs} - V_T)^2 \qquad \text{when } 0 < V_{gs} - V_T < V_{ds} \quad \ldots\ldots\ldots\ldots\ldots (6)$$

حيث أن:

$$\beta = (\mu\varepsilon / t_{OX}).(W / L)$$

ε : سماحية أوكسيد البوابة، t_{ox} : سماكة أوكسيد البوابة.

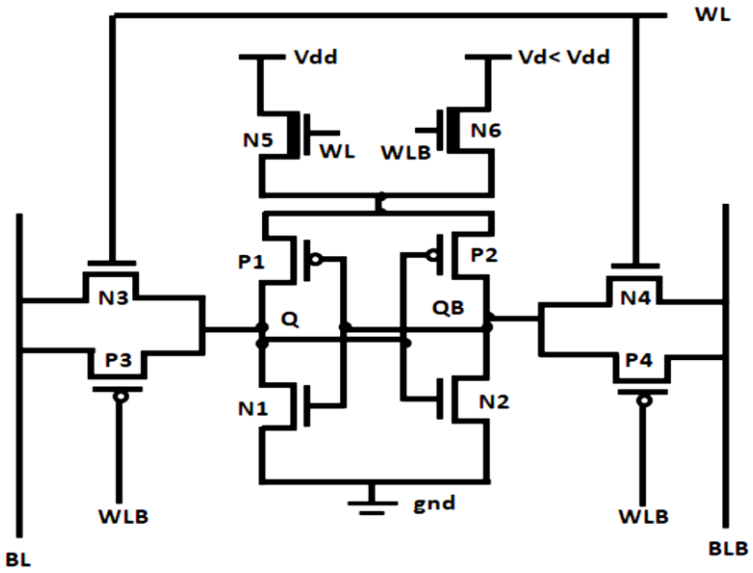
ونتيجةً لانخفاض التيار فأن ذلك يؤدي إلى انخفاض الاستطاعة المستهلكة وزيادة الاستقرار ولكن ذلك على حساب زيادة التأخير في كل من عملية القراءة والكتابة بشكلٍ كبير جداً.

5.3 خلية 10T SRAM:

تحتوي هذه الخلية على أربع ترانزستورات إضافية مقارنةً بخلية 6T SRAM التقليدية كما هو مبيّن في الشكل (10) وهي : (N5 و N6) NMOS ذات جهد عتبة عالٍ و (P3 و P4) PMOS [15].

تملك الترانزستورات N5 وN6 على دخليها إشارتي التحكم WL و WLB التي تملكان قيم متعاكسة دائماً وبالتالي عندما يكون إحداهما بحالة عمل يكون الأخر بحالة قطع.

في الوضع النشط (عمليات القراءة والكتابة) يتم تطبيق القيم WL=1 و WLB=0 وبالتالي يكون الترانزستور N5 وترانزستورات الوصول الأربعة N3، P3، N4، P4 بحالة عمل والترانزستور N6 بحالة قطع، وبما أن N5 بحالة عمل فتكون تغذية الخلية هي Vdd.



الشكل (10): **خلية 10T SRAM [15].**

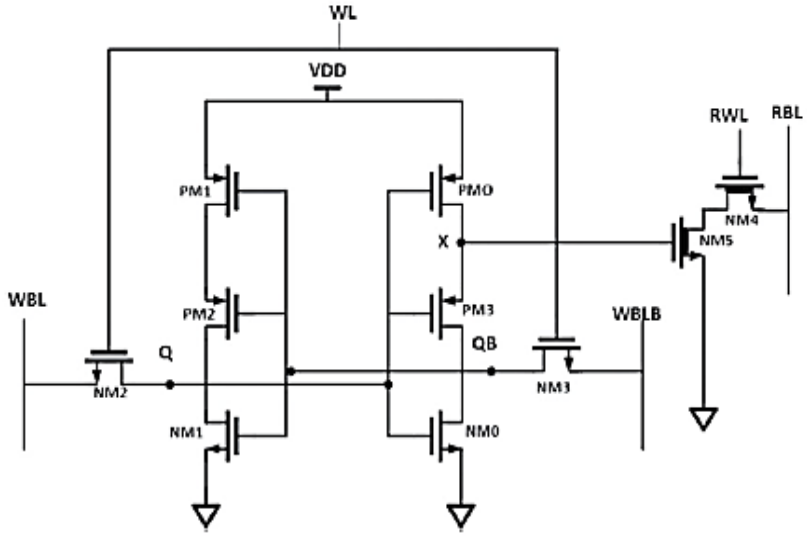
تم إضافة الترانزستورات P3 P4 على التفرع مع ترانزستورات الوصول N3 و N4 لأن ترانزستورات الـ PMOS تتمتع بخاصية نقل الجهد العالي (1 منطقي) بشكلٍ مثالي وهو ما يزيد من استقرار وسرعة الخلية خلال الوضع النشط.

عندما تعمل الخلية في وضع المسك يتم تطبيق القيم WL=0 و WLB=1، فتكون ترانزستورات الوصول الأربعة وN5 بحالة قطع بينما N6 بحالة عمل وبالتالي تكون تغذية الخلية هي Vd التي تملك قيمة أقل من Vdd. بسبب انخفاض جهد التغذية خلال وضع المسك فأن ذلك سوف يخفض من استهلاك الاستطاعة الستاتيكية

واستخدام الترانزستور N5 ذو جهد العتبة المرتفع سوف يساهم ايضاً بتخفيض تيار التسرب وبالتالي تخفيض استهلاك الاستطاعة الستاتيكية.

5.4 خلية 10T SRAM SE PPN أحادية النهاية (Single Ended):

تمتلك هذه الخلية المبيّنة في الشكل (11) آلية عمل مختلفة عن الخلايا السابقة حيث تعتمد على استخدام مسار منفصل لكل من عمليات القراءة والكتابة وذلك لحل مشكلة التضارب بين هاتين العمليتين ولذلك يسمى مثل هذا النوع من الخلايا بالخلايا أحادية النهاية (Single Ended) [16].



الشكل (11): خلية 10T SRAM SE PPN أحادية النهاية [16].

تحتوي هذه الخلية على إشارة التحكم WL التي تعمل على تنشيط ترانزستورات وصول الكتابة NM2 وNM3 وعلى إشارة التحكم RWL التي تعمل على تنشيط ترانزستور وصول القراءة NM4، وبما أنه لكل عملية لها ترانزستورات وصول خاصة بها فيمكن حل مشكلة التضارب بين القراءة والكتابة التي تعاني منها الخلايا التي تملك مسار مشترك للعمليتين (ترانزستورات وصول مشتركة) وأصبح بإمكاننا زيادة W/L لترانزستورات وصول الكتابة NM2 و NM3 لتحسين القدرة على الكتابة دون التأثير على استقرار القراءة.

تعمل الخلية وفق ثلاث أنماط عمل:

- **المسك:** تتم هذه العملية بتطبيق WL=0 و RWL=0 مما يؤدي لإيقاف ترانزستورات الوصول للقراءة والكتابة.

- **القراءة:** تتم هذه العملية بتطبيق WL=0 و RWL=1 و RBL=1 مما يؤدي لتنشيط ترانزستور وصول القراءة NM4. لكي يمر تيار في مسار القراءة المكون من NM4 و NM5 فإنه يجب أن يكون NM5 بحالة عمل وذلك يعتمد على قيمة العقدة X المبيّنة في الشكل (11) حيث أنه عندما تكون العقدة Q=0 فإنها ستقوم بتشغيل الترانزستورات PM0 و PM3 مما يوفر جهد عند X يبلغ حوالي 1 V وبالتالي يعمل الترانزستور NM5 ويمر تيار في مسار القراءة ويبدأ RBL بالتفريغ.

عندما تكون العقدة Q=1 فأنها ستقوم بإيقاف تشغيل الترانزستورات PM0 و PM3 مما يوفر جهد عند X يبلغ حوالي 0 V وبالتالي لا يعمل الترانزستور NM5 ولا يمر تيار في مسار القراءة وبذلك يحافظ RBL على قيمته، أي أنه عندما يتم تفريغ RBL فإن العقدة Q تخزن القيمة 0 وعندما لا يفرغ RBL فإن العقدة Q تخزن القيمة 1.

أهم ما يميز عملية القراءة هذه بان تيار القراءة لا يمر من خلال أي عقدة التخزين وبالتالي لا يرتفع جهدها خلال عملية القراءة مما يجعل استقرار القراءة RSNM مشابه لاستقرار المسك HSNM.

- **الكتابة:** تتم هذه العملية بتطبيق WL=1 و RWL=0 مما يؤدي لتنشيط ترانزستورات وصول الكتابة ويتم وضع القيمة المراد كتابتها والقيمة المكملة لها على خطوط البت WBL و WBLB، أي أن عملية الكتابة تبقى تفاضلية كما بحالة 6T SRAM التقليدية حيث أنها تعتمد على خطي البت WBL و WBLB.

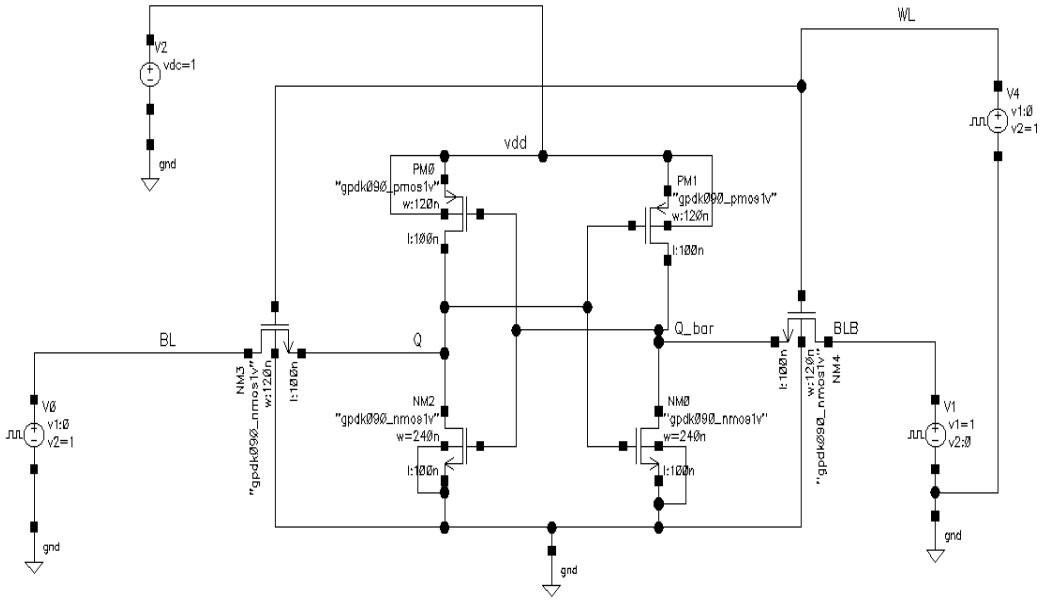
6. النتائج والمناقشة:

6.1 خلية 6T SRAM التقليدية:

تمت محاكاة خلية 6T SRAM التقليدية المبيّنة في الشكل (12) عند بارامترات التشغيل التالية [17] :

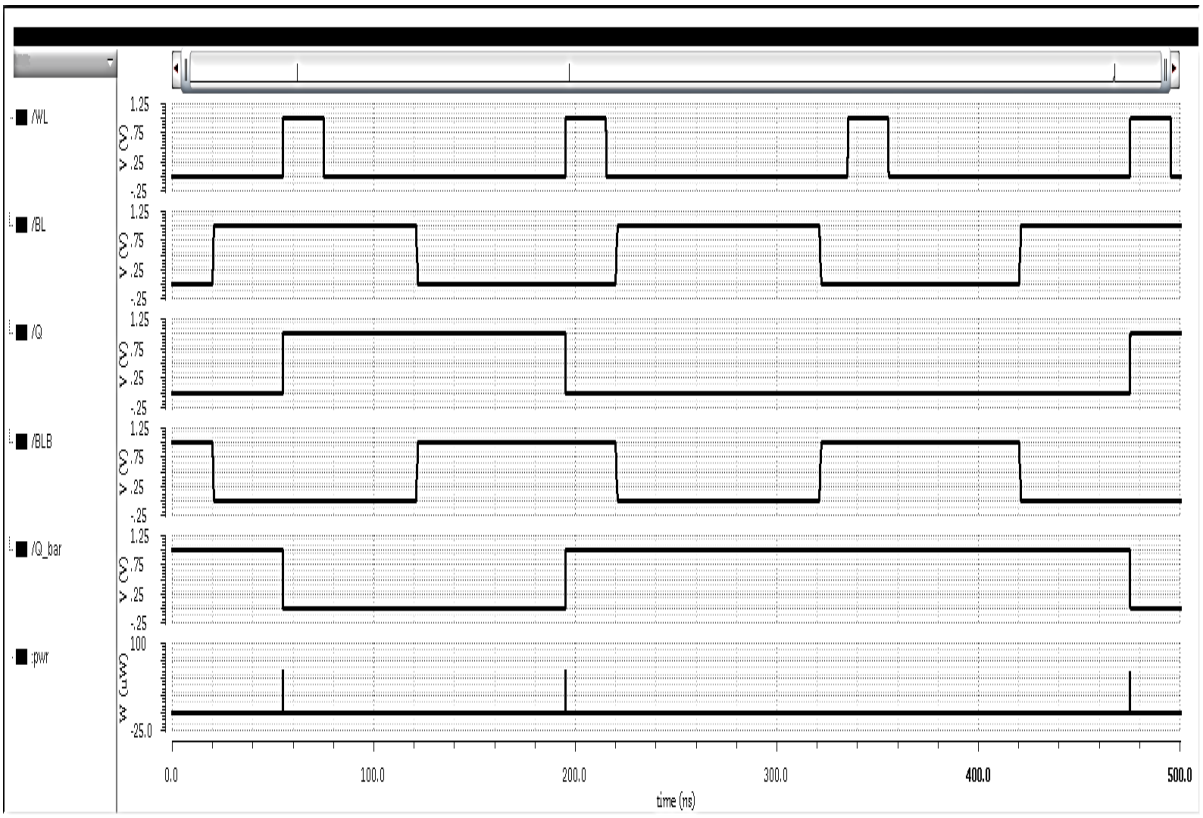
$(W/L)_{access}= (W/L)_{pu}= 120/100$ nm ، $(W/L)_{pd} = 240/100$ nm ، T=27 °C ، Vdd=1 v.

أي أنه تم اختيار: CR=2 و PR=1.



الشكل (12): محاكاة خلية 6T SRAM التقليدية.

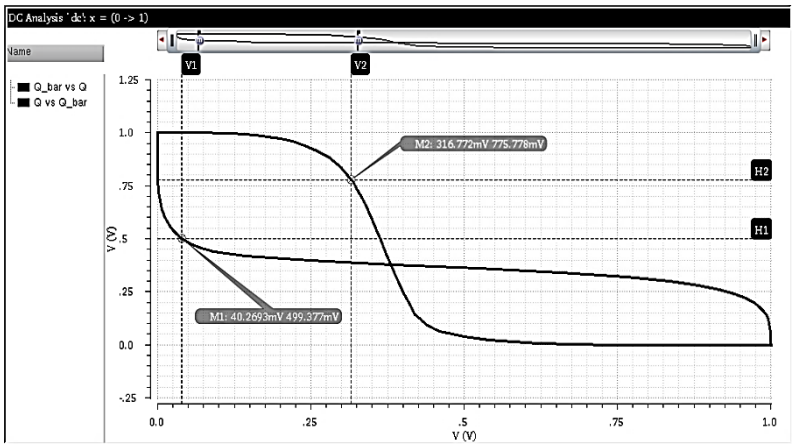
يظهر الشكل (13) المحاكاة العابرة لخلية 6T SRAM التقليدية:



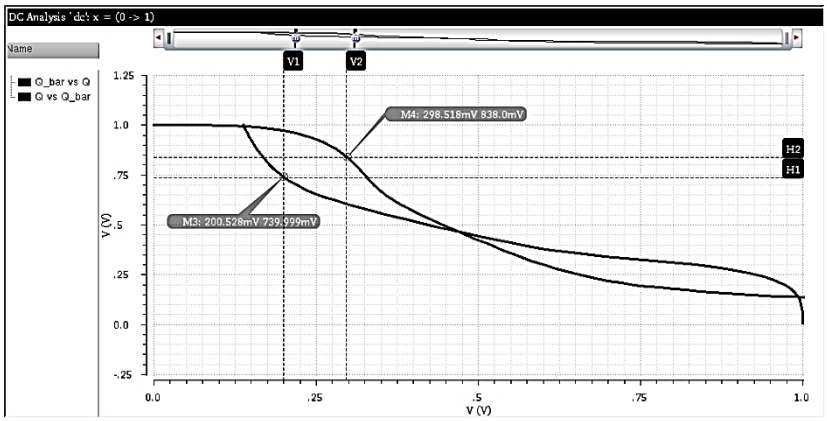
الشكل (13): المحاكاة العابرة لخلية 6T SRAM التقليدية.

وقمنا بحساب النتائج التالية:

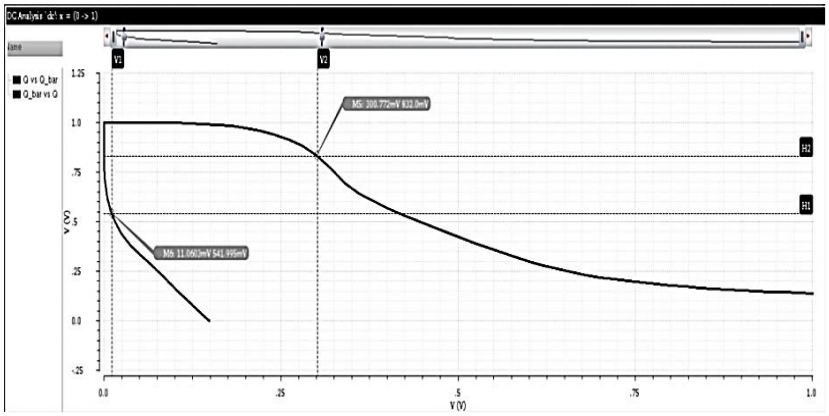
1. الاستطاعة المتوسطة (Average Power): هي القيمة المتوسطة لاستهلاك الاستطاعة الكلي المبيّن في الشكل (13).
2. الاستطاعة الستاتيكية (Static Power): هي الاستطاعة المستهلكة بحالة المسك عندما WL=0.
3. تأخير الكتابة.
4. تأخير القراءة.
5. قيم SNM المعّبرة عن الاستقرار لأنماط العمل الثلاث HSNM وRSNM وWSNM المبيّنة في الشكل (14) :



(a)



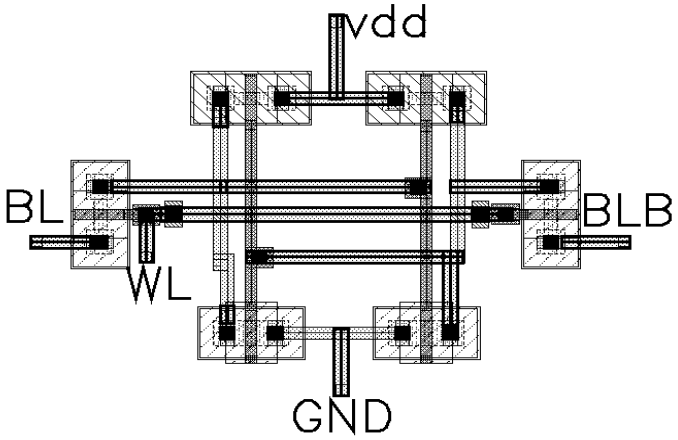
(b)



(c)

الشكل (14)**: محاكاة (a) HSNM ،(b) RSNM ،(c) WSNM لخلية 6T SRAM التقليدية.**

6. المساحة: تم الحصول عليه من خلال تخطيط layout للخلية كما هو مبيّن في الشكل (15):



الشكل (15)**: تخطيط layout لخلية 6T SRAM التقليدية.**

يبيّن الجدول (1) نتائج محاكاة خلية 6T SRAM التقليدية:

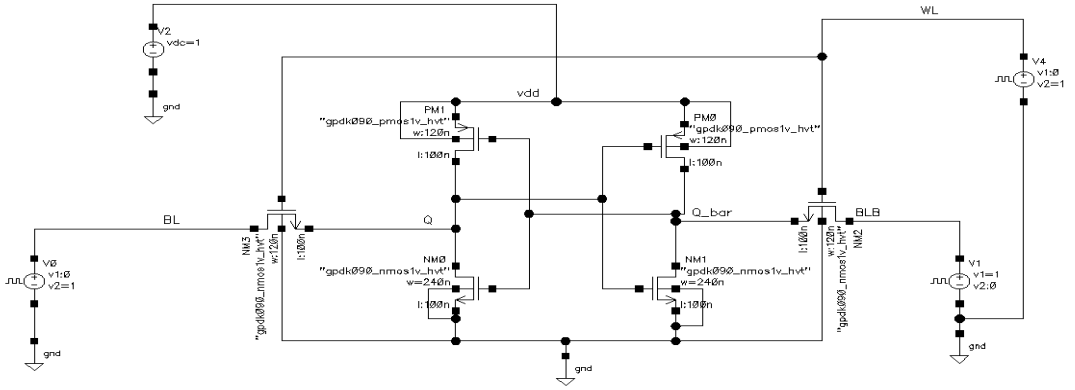
الجدول (1) : نتائج محاكاة خلية 6T SRAM التقليدية

	الاستطاعة المتوسطة (nw)	الاستطاعة الستاتيكية (nw)	تأخير الكتابة (ps)	تأخير القراءة (ps)	HSNM (mv)	RSNM (mv)	WSNM (mv)	المساحة (μm^2)
6T SRAM	81.93	53.6962	162.5	161.845	276	98	290	19.84

6.2 خلايا SRAM الأخرى:

- **خلية 6T SRAM HVT:**

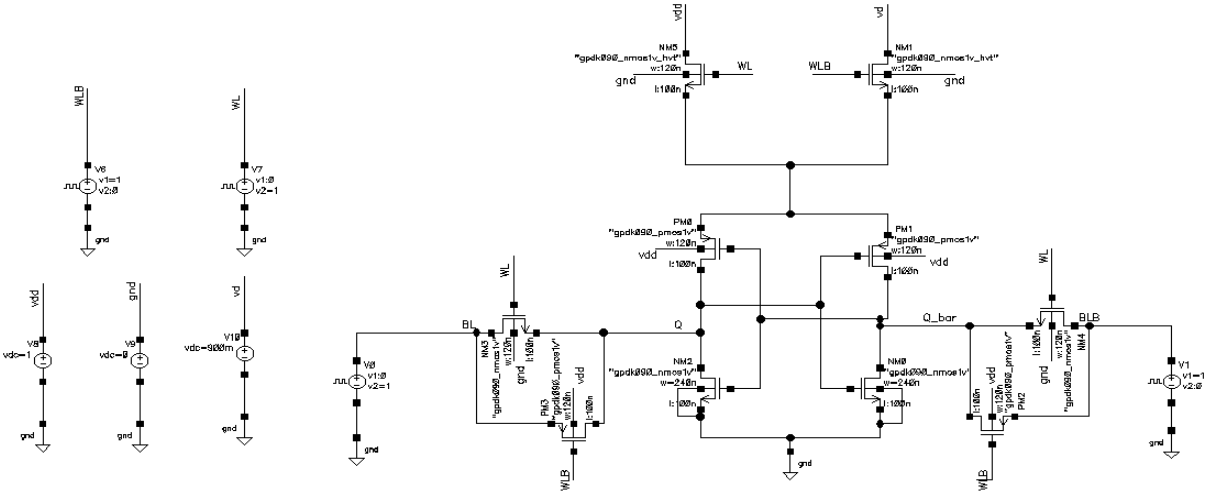
تمت محاكاة خلية 6T SRAM HVT المبيّنة في الشكل (16) عند نفس بارامترات التشغيل لخلية 6T SRAM التقليدية ولكن تم استخدام ترانزستورات ذات جهد عتبة عالٍ ونتائج المحاكاة مبيّنة في الجدول (2).



الشكل (16): محاكاة خلية 6T SRAM HVT.

- **خلية 10T SRAM:**

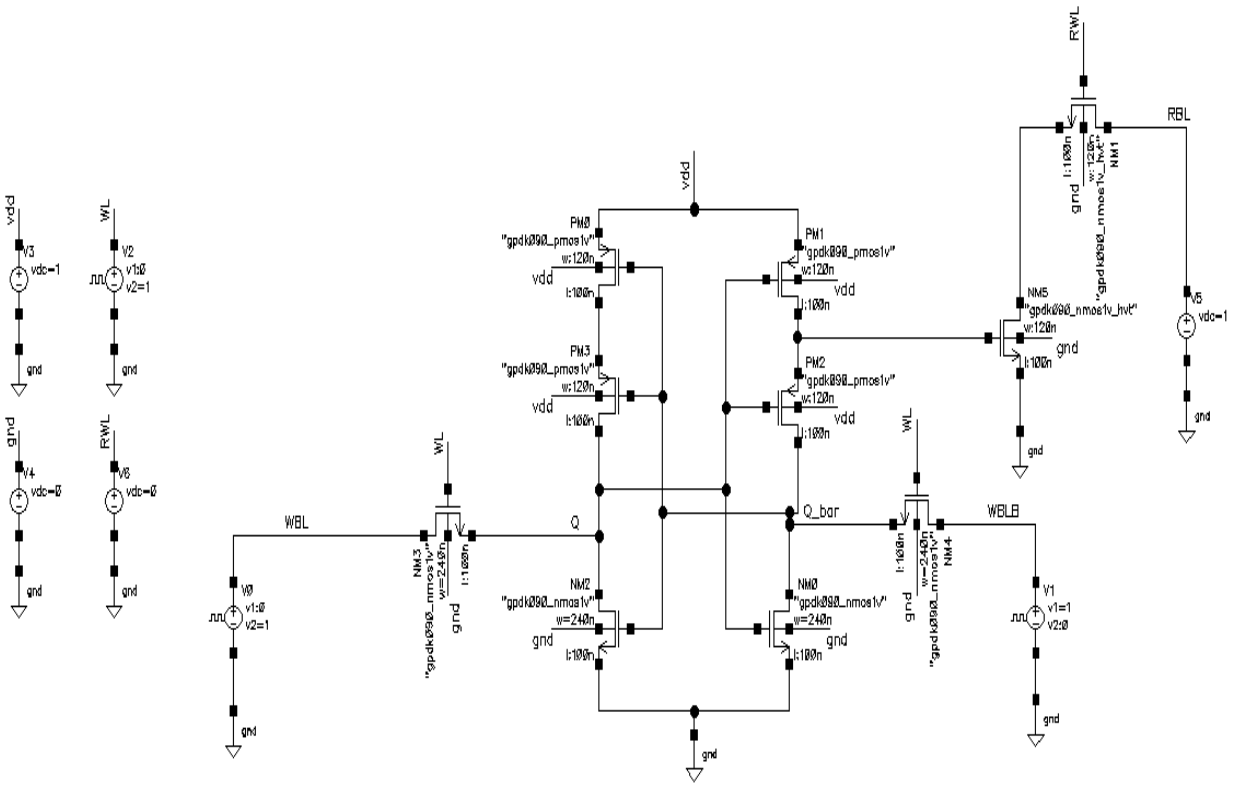
تمت محاكاة خلية 10T SRAM المبيّنة في الشكل (17) عند نفس بارامترات التشغيل لخلية 6T SRAM التقليدية مع تحديد قيمة (W/L)=120/100 nm للترانزستورات الأربعة الإضافية وقيمة Vd=0.9 V وتم استعراض نتائج المحاكاة في الجدول (2).



الشكل (17): محاكاة خلية 10T SRAM.

- **خلية 10T SRAM SE PPN:**

تمت محاكاة خلية SE PPN 10T SRAM المبيّنة في الشكل (18) عند نفس بارامترات التشغيل لخلية 6T SRAM مع تغيير قيمة (W/L) لترانزستورات وصول الكتابة من 120/100 nm إلى 240/100 nm وذلك لتحسين القدرة على الكتابة دون التأثير على استقرار القراءة وبالتالي الاستفادة من ميزة هذه الخلية بفصل مسار القراءة عن مسار الكتابة مع تحديد قيمة (W/L)=120/100 nm للترانزستورات الأربعة الإضافية ونتائج المحاكاة مبيّنة ايضاً في الجدول (2).



الشكل (18): محاكاة خلية SE PPN 10T SRAM.

الجدول (2): نتائج محاكاة الخلايا 6T SRAM التقليدية و HVT 6T SRAM و10T SRAM و SE PPN 10T SRAM

	6T SRAM	HVT 6T SRAM	10T SRAM	SE PPN 10T SRAM
الاستطاعة المتوسطة (nw)	81.93	17.39	40.6	78.4
الاستطاعة الستاتيكية (nw)	53.6962	1.015	33.8968	56.654
تأخير الكتابة (ps)	162.5	190.3	123.4	128.8
تأخير القراءة (ps)	161.845	267.398	120.378	363.992
HSNM (mv)	276	350	179.6	265
RSNM (mv)	98	159	54.5	263.5
WSNM (mv)	290	370.3	398.5	306
المساحة (μm^2)	19.84	19.84	33.476	33.866

6.3 المناقشة:

1. خلية HVT 6T SRAM:

- بالمقارنة ما بين خلية HVT 6T SRAM وخلية 6T SRAM فإننا نلاحظ انخفاض في استهلاك الاستطاعة الكلية والستاتيكية بشكلٍ كبير بهذه الخلية بسبب انخفاض التيار المار بالخلية سوءاً بالوضع النشط أو بوضع المسك (تيار التسرب) بسبب جهود العتبة العالية لترانزستورات الخلية والعلاقة العكسية ما بين التيار المار و جهد العتبة V_T وفق العلاقات (3 و5 و6).
- الانخفاض في التيار (تيار القراء وتيار الكتابة) سوف يسبب زيادة في التأخير لكل من عملية القراءة والكتابة وفق العلاقة (4).
- نلاحظ زيادة استقرار الخلية خلال العمليات الثلاثة HSNM وRSNM وWSNM بسبب زيادة جهد العتبة وبالتالي زيادة الجهد المطلوب لفتح الترانزستورات مما يؤدي لزيادة الجهد المطلوب لقلب البيانات.

2. خلية 10T SRAM:

- بالمقارنةً بين هذه الخلية وخلية 6T SRAM التقليدية نلاحظ انخفاض استهلاك الاستطاعة الكلية والستاتيكية بسبب استخدام تقنية التغذية المزدوجة (اختلاف تغذية الخلية ما بين الحالة النشطة Vdd وحالة المسك Vd) واستخدام ترانزستورات ذات جهد عتبة عالٍ N5 و N6 .
- توفر ترانزستورات التمرير الإضافية P3 و P4 مرور تيار أعلى وبالتالي تخفض من تأخير الخلية في كل من عمليات القراءة والكتابة.
- بالنسبة لاستقرار الخلية فنلاحظ أنه بسبب استخدام جهد تغذية منخفض أثناء وضع المسك (Vd) فان استقرار المسك HSNM قد انخفض بسبب العلاقة العكسية ما بين استقرار الخلية والتغذية.
- بالنسبة لاستقرار القراءة RSNM نلاحظ انخفاضها وذلك بسبب انخفاض مقاومة ترانزستورات الوصول الموصولة على التفرع مما يزيد من جهد العقدة "0" أثناء عملية القراءة.
- نلاحظ زيادة القدرة على الكتابة WSNM وذلك بسبب انخفاض مقاومة ترانزستورات الوصول الموصولة على التفرع وزيادة مقاومة مسار السحب بسبب الترانزستور N5 المضاف.

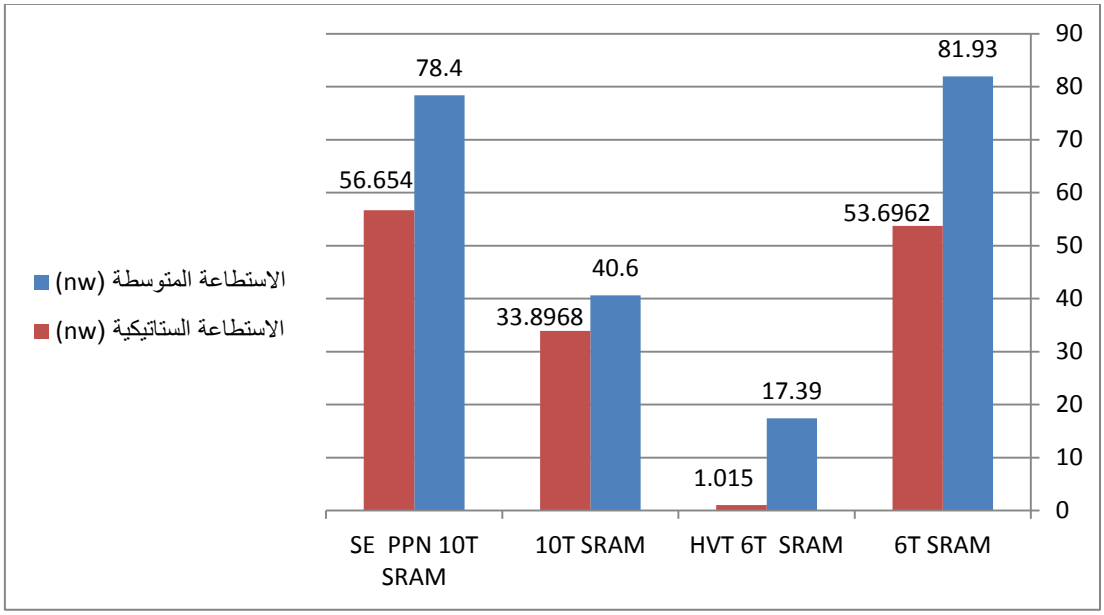
3. خلية 10T SRAM SE PPN (Single Ended):

- نلاحظ ان الاستطاعة الستاتيكية والكلية بقيت تقريباً ثابتة على الرغم من استخدام مسار قراءة إضافي الذي يسبب عادة زيادة تيار التسرب إلا أنه نتيجة استخدام ترانزستورين PMOS إضافين في العواكس واستخدام ترانزستورات قراءة (NM4 وNM5) ذات جهد عتبة عالٍ وبالحجم الأدنى 120/100 nm فأن ذلك يخفض من قيمة تيار التسرب ويجعل استهلاك الاستطاعة مشابه تقريباً لخلية 6T SRAM التقليدية.
- نلاحظ انخفاض تأخير الكتابة وذلك بسبب زيادة حجم ترانزستورات وصول الكتابة لتصبح W/L=240/100 nm والتي تم اختيارها في باقي الخلايا 120/100 nm مما يسبب زيادة التيار المار، حيث تمكنّا من زيادة حجم هذه الترانزستورات دون التأثير على استقرار القراءة بسبب فصل مسار القراءة عن الكتابة وهذا ما يميز هذه الخلية.
- نلاحظ زيادة تأخير القراءة بشكلٍ كبير جداً بسبب استخدام ترانزستورات في مسار القراءة بالحجم الادنى 120/100 nm وذات جهد عتبة عالٍ مما يسبب انخفاض التيار بشكلٍ كبير ويزيد التأخير ويمكن حل هذه المشكلة بزيادة قيمة W/L.
- نلاحظ ان استقرار القراءة RSNM كبير جداً ومشابه لـ HSNM بسبب فصل عقدة التخزين عن مسار تيار القراءة.
- نلاحظ زيادة القدرة على الكتابة WSNM بسبب زيادة W/L لترانزستورات وصول الكتابة.

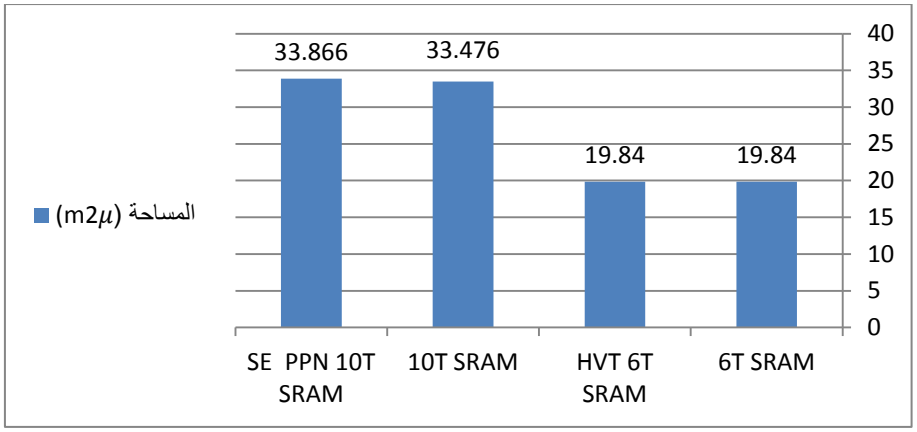
7. الاستنتاجات والتوصيات:

بالمقارنة ما بين الخلايا المدروسة في هذه المقالة نستنتج ما يلي:

- ان الخلية الأقل استهلاكاً للاستطاعة الكلية والستاتيكية هي خلية HVT 6T SRAM كما هو مبيّن في الشكل (19) حيث خفضت من استهلاك الاستطاعة الكلية والستاتيكية مقارنةً بخلية 6T SRAM التقليدية بمقدار 78.77 % و 98.11 % على التوالي، وكما أن مساحة هذه الخلية مطابقة لخلية 6T SRAM التقليدية وأقل من الخلايا الأخرى كما هو مبيّن في الشكل (20). لذلك تعتبر هذه الخلية ملائمة جداً للتطبيقات التي تتطلب استهلاك استطاعة منخفض مثل التطبيقات التي تعتمد على البطاريات كالأجهزة المحمولة وشبكات الحساسات اللاسلكية وانظمة اكتشاف الاجسام وتعقبها التي تستهلك عادة استطاعة عالية وكما يمكن استخدامها في انظمة SOC مثل تلك المستخدمة في انترنت الأشياء ((Internet of Things (IOT) التي من اهم تطبيقاتها الأجهزة القابلة للارتداء والتي تستخدم خلايا SRAM لها مساحة صغيرة واستهلاك منخفض للاستطاعة وهو ما يميز خلية HVT 6T SRAM.

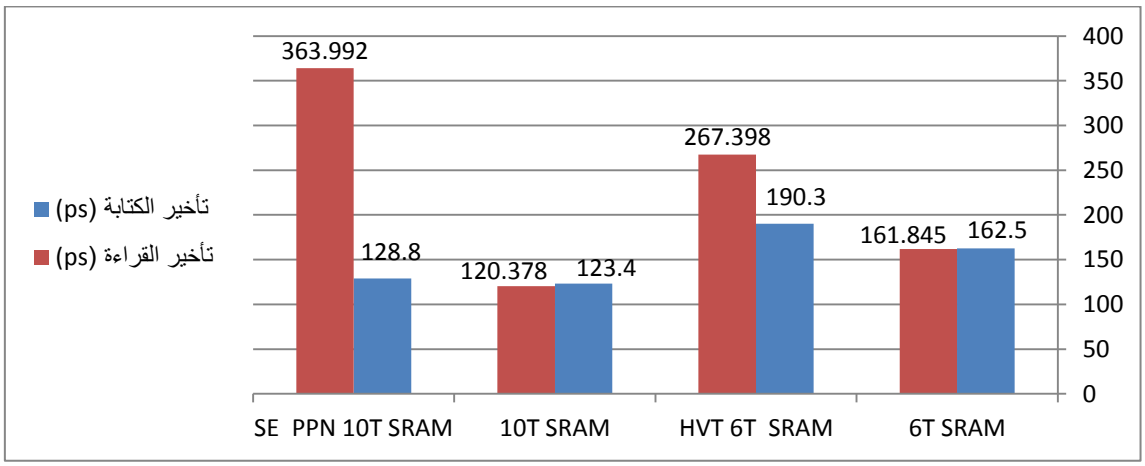


الشكل (19): مقارنة بين الخلايا المدروسة من حيث استهلاك الاستطاعة المتوسطة والاستطاعة الستاتيكية.



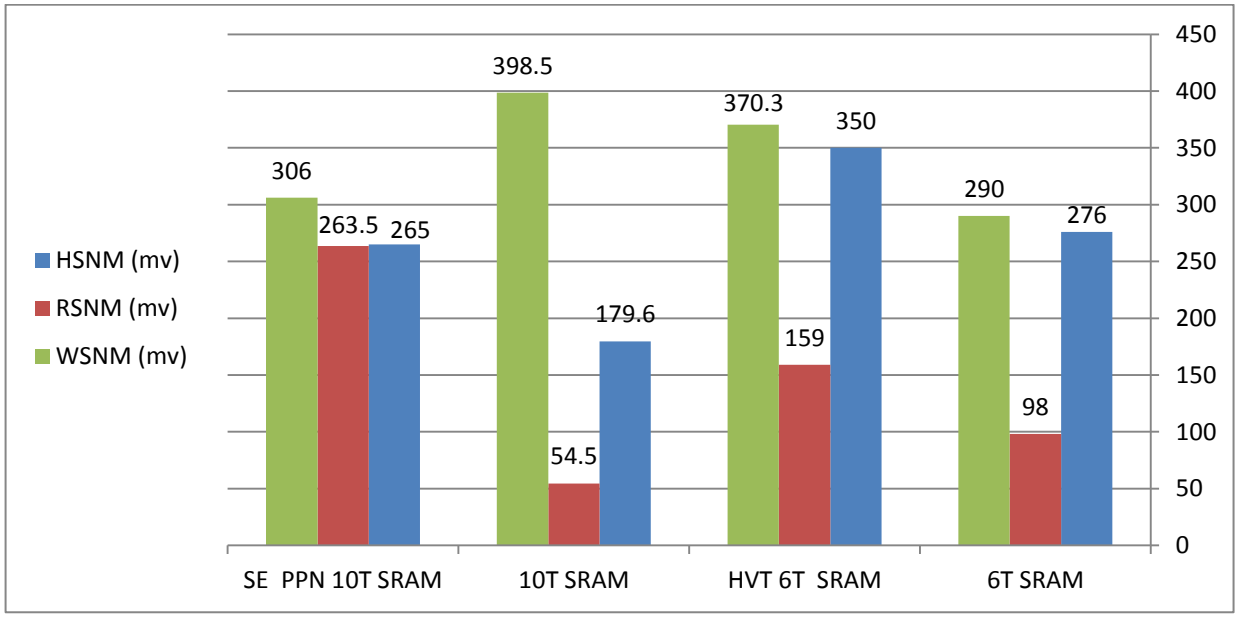
الشكل (20): مقارنة بين الخلايا المدروسة من حيث المساحة.

- نلاحظ أن الخلية الأسرع بين الخلايا (الأقل تأخير في كل من عمليات القراءة والكتابة) هي خلية 10T SRAM كما هو مبيّن في الشكل (21) حيث خفضت من تأخير القراءة والكتابة مقارنةً بخلية 6T SRAM التقليدية بمقدار 25.62 % و 24.06 % على التوالي، وبالتالي هي مناسبة للتطبيقات عالية السرعة مثل استخدامها في المعالجات الدقيقة السريعة كذاكرة مخبئية (cache memory) لوحدة المعالجة المركزية لحل مشكلة الفجوة ما بين سرعة المعالج وسرعة الذاكرة، ويمكن استخدام هذه الخلية في بعض تطبيقات الشبكات التي تتطلب سرعة عالية مثل ذاكرة جدول البحث (lookup–table) التي تقوم بتخزين عناوين الـ IP وعناوين المنافذ وتوجه الحزم الى المنافذ، وذاكرة إدارة قائمة الانتظار (Queue Management) التي تقوم بالمسك والتحكم في تدفق البيانات والتي ايضاً تحتاج ازمنة وصول للذاكرة منخفضة.



الشكل (21): مقارنة بين الخلايا المدروسة من حيث تأخير القراءة والكتابة.

- أظهرت الخلية SE PPN 10T SRAM استقرار قراءة عالٍ جداً RSNM مقارنةً بباقي الخلايا كما هو مبيّن في الشكل (22) حيث حسنت من استقرار القراءة RSNM بمقدار 168.88 % مقارنةً بخلية 6T SRAM التقليدية وبالتالي تعتبر الخلايا أحادية النهاية من أهم الطرق لحل مشكلة استقرار القراءة ومناسبة للتطبيقات التي تتطلب استقراراً عالٍ مثل الاجهزة الطبية الحيوية والتطبيقات العسكرية والتطبيقات الفضائية، وخاصة أنه يمكن تحسين القدرة على الكتابة بزيادة W/L لترانزستورات وصول الكتابة دون التأثير على استقرار القراءة.



الشكل (22): مقارنة بين الخلايا المدروسة من حيث الاستقرار.

8. الخاتمة:

قمنا في هذه المقالة بدراسة ومحاكاة خلية 6T SRAM التقليدية بالإضافة لعدة خلايا SRAMs أخرى وهي خلية HVT 6T SRAM وخلية 10T SRAM وخلية SE PPN 10T SRAM باستخدام برنامج Cadence Virtuoso 6.1.5 عند تقنية 90 nm والمقارنة فيما بينها لتحديد التطبيق المناسب لكل نوع من الخلايا. لاحظنا من نتائج المحاكاة ان الخلية الأقل استهلاكاً للاستطاعة الكلية والستاتيكية هي خلية HVT 6T SRAM وبالتالي تعتبر هذه الخلية ملائمة جداً للتطبيقات التي تتطلب استهلاك استطاعة منخفض، ولاحظنا أن الخلية الأسرع بين الخلايا المدروسة هي خلية 10T SRAM وبالتالي هي مناسبة للتطبيقات عالية السرعة، وقد كانت الخلية SE PPN 10T SRAM هي الخلية الأكثر استقراراً بعملية القراءة RSNM وبالتالي مناسبة للتطبيقات التي تتطلب استقراراً عالٍ وخاصة مع أمكانية تحسين القدرة على الكتابة بزيادة W/L لترانزستورات وصول الكتابة دون التأثير على استقرار القراءة.

9. المراجع:

1. Mehrabi, Kolsoom, Behzad Ebrahimi, and Ali Afzali-Kusha. "A robust and low power 7T SRAM cell design." 2015 18th CSI International Symposium on Computer Architecture and Digital Systems (CADS). IEEE, 2015.

2. Kumar, Hemant, and Shikha Saun. "Power gated technique to improve design metrics of 6T SRAM memory cell for low power applications." J. Microelectron. ICTACT 5.3 (2019).

3. Krishna, R., and Punithavathi Duraiswamy. "A Technique of Designing Low Leakage SRAM in Deep Sub-micron Technology." 2020 IEEE International Conference on Electronics, Computing and Communication Technologies (CONECCT). IEEE, 2020.

4. Sachdeva, Ashish, and V. K. Tomar. "Statistical Stability Characterization of Schmitt Trigger Based 10-T SRAM Cell Design." 2020 7th International Conference on Signal Processing and Integrated Networks (SPIN). IEEE, 2020.

5. Sachdeva, Ashish, and V. K. Tomar. "Design of a stable low power 11-T static random access memory cell." Journal of circuits, Systems and Computers 29.13 : 2050206, (2020).

6. Prasad, Govind, Bipin chandra Mandi, and Megha Jain. "Design and Analysis of Area and Power Optimised SRAM Cell for High-speed Processor." 2020 First International Conference on Power, Control and Computing Technologies (ICPC2T). IEEE, 2020.

7. Sharifkhani, Mohammad. "Design and analysis of low-power SRAMs." (2006).

8. Arandilla, Christiensen DC, Anastacia B. Alvarez, and Christian Raymund K. Roque. "Static noise margin of 6T SRAM cell in 90-nm CMOS." 2011 UkSim 13th International Conference on Computer Modelling and Simulation. IEEE, 2011.

9. Tanvir, Tanvir. Design and Stability Analysis of a High-Temperature SRAM. Diss. University of Akron, 2012.

10. Chauhan, Kinshuk.. Design and Analysis of Sram Cell for Reducing Leakage in Submicron Technologies Using Cadence Tool. IOSR JOURNAL ELECTRICAL AND ELECTRONICS ENGINEERING. 10. 52-57, (2015).

11. Jayakumar, Nikhil, Suganth Paul, and Rajesh Garg. Minimizing and exploiting leakage in VLSI design. Springer Science & Business Media, 2009.

12. Aastha Singh, Preet Jain, Tarun Kumar Gupta, 2014, High Performance & Improved 8T SRAM Cell, INTERNATIONAL JOURNAL OF ENGINEERING RESEARCH & TECHNOLOGY (IJERT) Volume 03, Issue 09 (September 2014),

13. Prasad, Govind, and Alekhya Anand. "Statistical analysis of low-power SRAM cell structure." Analog Integrated Circuits and Signal Processing 82.1: 349-358, (2015).

14. Parihar, Priyanka, et al. "6T SRAM Cell Design and Investigation for Ultra-Low-Power Application." Nanoelectronics, Circuits and Communication Systems. Springer, Singapore, 527-534, 2019.

15. Prasad, Govind, et al. "Process Variation Analysis of 10T SRAM Cell for Low Power, High Speed Cache Memory for IoT Applications." 2020 7th International Conference on Signal Processing and Integrated Networks (SPIN). IEEE, 2020.

16. Sanvale, Prachi, et al. "An improved read-assist energy efficient single ended PPN based 10T SRAM cell for wireless sensor network." Microelectronics Journal 92: 104611, (2019).

17. Nayak, Debasish, et al. "Design of low-leakage and high writable proposed SRAM cell structure." 2014 International Conference on Electronics and Communication Systems (ICECS). IEEE, 2014.