

تصميم وتحليل داراة جامع كامل منخفضة الاستطاعة والمساحة باستخدام

تقنية CMOS 45 nm

طالب الدكتوراه: هلال احمد تكرونى

جامعة حمص - كلية الهندسة الميكانيكية والكهربائية - قسم هندسة الالكترونيايات والاتصالات

الدكتور المشرف: مجد الدين العلي

المخلص

تعد داراة الجامع الكامل (FA) أحد المكونات الأساسية في تصميم الدوائر الحسائية والمنطقية ومن أهم مكونات المعالج، لأنها تعتبر الكتلة الأساسية في القيام بالعديد من العمليات الحسائية مثل الجمع والطرح والضرب والقسمة. كما يعد الجامع الكامل من أكثر المكونات استخداماً في العديد من الأجهزة المختلفة مثل المعالج (CPU) ووحدة الحساب والمنطق (ALU) ومعالج الإشارات الرقمية (DSP) وغيرها، ولذلك يُعتبر تصميم داراة جامع كامل تتمتع بأداء عالٍ ذو أهمية قصوى.

تم في هذه المقالة اقتراح بنية محسنة لداراة جامع كامل (15T-FA) ومقارنتها مع عدة دارات مختلفة، وهي داراة الجامع الكامل التقليدي 28T-FA وداراة TG-FA وداراة H-FA وداراة PTL-FA. تمت المحاكاة باستخدام برنامج Cadence Virtuoso 6.1.7 باستخدام تقنية CMOS 45 nm، وتم إجراء المقارنة بين الدارات المدروسة من حيث استهلاك الاستطاعة والمساحة وتأخير الانتشار ومضروب التأخير بالاستطاعة (PDP). تُظهر نتائج المحاكاة أن الدارة المقترحة 15T-FA تتميز بأقل استهلاك للاستطاعة بين الدارات المدروسة مع قيمة nW 172.306، وهي الدارة الأقل مساحةً مع قيمة $4.701 \mu\text{m}^2$.

الكلمات المفتاحية: جامع كامل FA، منطق ترانزستورات التمرير PTL، بوابة الإرسال TG، CMOS، مضروب التأخير بالاستطاعة PDP.

Design and analysis of a low-power and low-area full adder circuit using 45 nm CMOS technology

Abstract

The Full Adder (FA) is a fundamental component in the design of arithmetic and logic circuits and is one of the most important elements of a processor, as it serves as the basic building block for performing numerous arithmetic operations such as addition, subtraction, multiplication, and division. Furthermore, the Full Adder is one of the most widely used components in various devices, including the Central Processing Unit (CPU), the Arithmetic Logic Unit (ALU), the Digital Signal Processor (DSP), and others. Therefore, designing a high-performance full adder circuit is of utmost importance.

In this paper, an improved structure of a full adder circuit (15T-FA) is proposed and compared with several different adder designs, namely the conventional full adder (28T-FA), TG-FA, H-FA, and PTL-FA circuits. The simulations were carried out using Cadence Virtuoso 6.1.7 with CMOS 45 nm technology. The comparison among the studied circuits was performed in terms of power consumption, area, propagation delay, and power delay product (PDP). The simulation results show that the proposed 15T-FA circuit exhibits the lowest power consumption among the studied designs, with a value of 172.306 nW, and it also occupies the smallest area of 4.701 μm^2 .

Keywords: Full adder (FA), Pass transistor logic (PTL), Transmission gate (TG), CMOS, Power delay product (PDP).

1. المقدمة:

شهدت السنوات الأخيرة مع الارتفاع الهائل في سوق المنتجات الالكترونية المحمولة طلباً متزايداً على الأجهزة الالكترونية منخفضة الاستطاعة مثل أجهزة الكمبيوتر المحمولة والأجهزة القابلة للارتداء والهواتف الذكية وغيرها من التجهيزات [1]. تُعد دارة الجامع الكامل أحد أهم المكونات الأساسية في المعالج، حيث تُستخدم في وحدة الحساب والمنطق (ALU) ووحدة الفاصلة العائمة (FPU)، وتُعتبر دارة الجامع الكامل هي جوهر العديد من العمليات الحسابية مثل الجمع والطرح والضرب والقسمة وكذلك تُستخدم في توليد العناوين [2]. وهذا ما دفع إلى القيام بالعديد من الجهود البحثية لتصميم دارة جامع كامل ذات استهلاك استطاعة منخفض، حيث تم اقتراح العديد من البنى المختلفة لدارة الجامع الكامل منخفضة الاستطاعة، ومنها دارة 17T-FA التي تعتمد على استخدام بوابة XOR جديدة منخفضة الاستطاعة مكونة من 5 ترانزستورات [3]، كما تم اقتراح دارة 15T-FA المكونة من 15 ترانزستور، والتي تتميز باستهلاك استطاعة منخفض بسبب انخفاض عدد الترانزستورات التي تكون بحالة عمل في نفس الوقت بين الدخل والخرج، والتي تعتمد على بنية XOR-XNOR جديدة مكونة من 10 ترانزستورات [4]. كما تم اقتراح دارة PTL-FA والتي تعتمد على استخدام تقنية ((Pass Transistor Logic (PTL) في بنيتها، مما يقلل من عدد الترانزستورات المستخدمة في تصميم الدارة وبالتالي يقلل من استهلاك الاستطاعة [5].

كما استهدفت العديد من الأبحاث اقتراح بنى مختلفة لدارة الجامع الكامل بحيث تكون مناسبة للتطبيقات عالية السرعة ومنخفضة المساحة، والتي تعتمد على تحقيق ذلك من خلال استخدام عدد منخفض من الترانزستورات في بنية الدارة [6]، ومن الأمثلة على هذه الدارات هي دارة-12T FA [1] المكونة من 12 ترانزستور فقط والتي تعتمد في تصميمها على بنية XNOR جديدة مكونة من 6 ترانزستورات، حيث يساهم هذا العدد المنخفض من الترانزستورات في تقليل مساحة الدارة وانخفاض تأخير انتشار إشارات الخرج، ومن الدارات التي تم اقتراحها هي دارة GDI-FA [7] التي تعتمد على استخدام تقنية ((Gate Diffusion Input (GDI) والتي تستهدف تقليل عدد

الترانزستورات المستخدمة في تصميم الدارات والبوابات المنطقية مما يجعلها قادرة على زيادة السرعة وتقليل المساحة.

وكذلك لا بد من الإضاءة على أهمية الحصول على جهد خرج متأرجح بشكل كامل والذي يعتبر عاملاً رئيسياً لضمان موثوقية عمل الدارة عند جهود التغذية المنخفضة في الدارات ذات الأبعاد النانوية (deep sub-micrometer) [8]، حيث قد يتسبب الانخفاض في تأرجح الجهد إلى بطء عملية التبديل أثناء تنفيذ العمليات المتتالية، وقد يؤدي أحياناً إلى فشل عمل الدارة عند جهود التغذية المنخفضة [9]. ومن الدارات التي تتميز بجهد خرج متأرجح بشكل كامل هي TG-FA [10] والتي تعتمد على استخدام تقنية بوابة الإرسال (Transmission gate (TG))، وهي عبارة عن ترانزستورين NMOS و PMOS موصولان على التوازي يعملان معاً لتمرير الإشارة بشكل قوي وتجنب مشكلة هبوط الجهد، ودائرة H-FA [11] التي تتميز بجهد خرج كامل التأرجح وذلك بالاعتماد على بنية هجينة قادرة على استعادة مستوى إشارة الخرج، كما تم اقتراح دائرة FSGDI-FA [12] التي تعتمد على استخدام تقنية (Full Swing Gate Diffusion Input (FSGDI))، مما يوفر جهد خرج متأرجح بشكل كامل وتحسن كل من استهلاك الاستطاعة والتأخير.

تم في هذا البحث دراسة ومحاكاة عدة بنى لدارات الجامع الكامل واقتراح دائرة جامع كامل 15T-FA محسنة تعمل على تخفيض كلاً من المساحة واستهلاك الاستطاعة، تمت عملية المحاكاة باستخدام برنامج Cadence Virtuoso 6.1.7 عند التقنية CMOS 45 nm وذلك من أجل الوصول إلى معرفة واضحة عن مختلف خصائص هذه الدارات والمقارنة فيما بينها.

2. هدف البحث:

يهدف هذا البحث إلى دراسة عدة أنواع من دارات الجامع الكامل، واقتراح دائرة جامع كامل -15T FA ذات استهلاك استطاعة منخفض ومساحة صغيرة بالمقارنة مع باقي الدارات، مع المحافظة على قيم جيدة لكل من تأخير الانتشار ومضروب التأخير بالاستطاعة (Power Delay Product (PDP)).

3. مواد وطرق البحث:

اعتمد البحث على طريقة البحث التجريبية، حيث تم إجراء عملية المحاكاة لدارات الجامع الكامل المختلفة باستخدام برنامج Cadence Virtuoso 6.1.7 الذي يعمل على نظام Linux عند التقنية CMOS 45 nm.

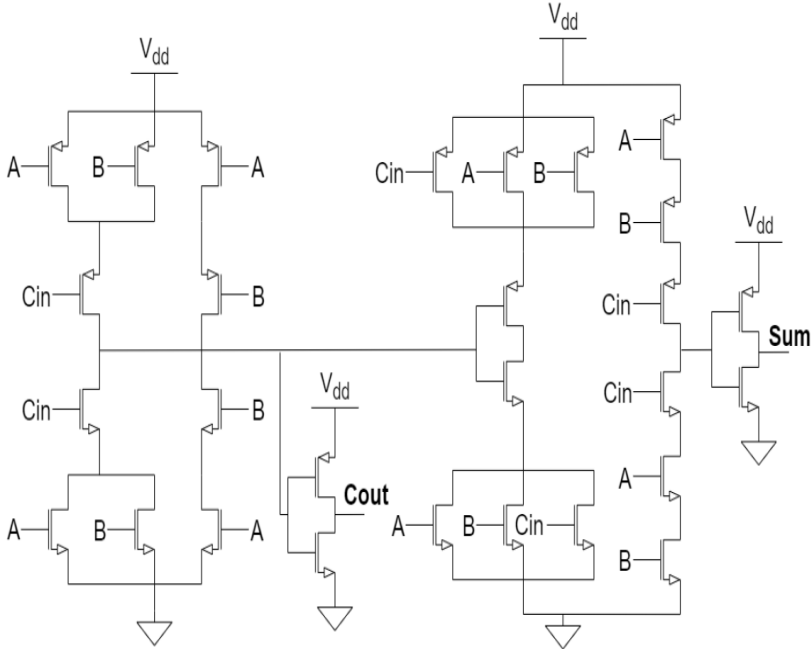
4. أنواع دارات الجامع الكامل:

نظراً لتأثير دائرة الجامع الكامل الكبير على أداء الأنظمة الرقمية وتنوع استخداماتها، فقد تم التركيز في العديد من الأبحاث على تطوير هياكل مختلفة تحقق تحسينات في بعض البارامترات الأساسية للجامع الكامل بما يتناسب مع متطلبات التطبيقات المختلفة.

تم في هذا البحث تحليل أداء عدة أنواع من دارات الجامع الكامل وهي:

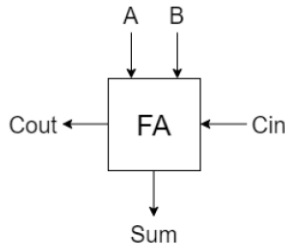
4.1 دائرة الجامع الكامل التقليدي القائم على CMOS (28T-FA):

يتم تصميم دائرة الجامع الكامل التقليدي القائم على CMOS باستخدام 28 ترانزستوراً كما هو مبين في الشكل (1)، وتتكون هذه الدارة من ترانزستورات PMOS في شبكة الرفع وترانزستورات NMOS في شبكة الخفض، ويتميز هذا التصميم بقدرة تشغيل جيدة وجهد خرج متأرجح بشكل كامل، إلا أن العدد الكبير من الترانزستورات المستخدم في التصميم يؤدي إلى زيادة استهلاك الاستطاعة وزيادة التأخير [10].



الشكل (1): دائرة الجامع الكامل التقليدي 28T-FA [10].

تحتوي دائرة الجامع الكامل كما هو مبين في الشكل (2) على ثلاث مداخل وهي A و B و Cin، حيث أن A و B هما البتان المراد جمعهما، و Cin يمثل بت الحمل من المرحلة السابقة. وتحتوي دائرة الجامع الكامل على مخرجين وهما إشارة المجموع (Sum) وإشارة الحمل (Cout) [10].



الشكل (2): المخطط الصندوقي لمداخل ومخارج دائرة الجامع الكامل [10].

يعبّر عن سلوك دارة الجامع الكامل بجدول الحقيقة المبين في الجدول (1)، ويتم التعبير عن خرج دارة الجامع الكامل بالمعادلتين (1) و(2):

$$\text{Sum} = A \oplus B \oplus \text{Cin} \quad (1)$$

$$\text{Cout} = AB + \text{Cin}(A \oplus B) \quad (2)$$

الجدول (1): جدول الحقيقة لدارة الجامع الكامل [10].

| Input | | | Output | |
|-------|---|-----|---------|-----------|
| A | B | Cin | S (Sum) | C (Carry) |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

4.1.1 تحليل أداء دارة الجامع الكامل:

يعتمد تقييم دارة الجامع الكامل على إظهار منحنيات الدخل والخرج، وتحليل أداء عدد من البارامترات الأساسية التي سيتم الاعتماد عليها في دراسة ومقارنة أداء البنى المختلفة لدارات الجامع الكامل، وهذه البارامترات الأساسية هي [11]:

1. **الاستطاعة:** يتم تصنيف تبديد الاستطاعة في الدارات الرقمية إلى قسمين وهما [13]:
 - الاستطاعة الستاتيكية: يحدث استهلاك الاستطاعة الستاتيكية بسبب تيارات التسرب في الدارة، وذلك عندما تكون الدارة في وضع الخمول أو الاستعداد (وضع السكون).
 - الاستطاعة الديناميكية: وهي الاستطاعة المستهلكة أثناء الحالة النشطة للترانزستورات، والتي تنقسم إلى استهلاك استطاعة قصر الدارة والناجمة عن تدفق التيار المباشر بين جهد التغذية Vdd والأرضي، واستهلاك استطاعة التبديل والناجمة عن شحن وتفريغ سعات الحمل.

يُحسب استهلاك الاستطاعة المتوسطة الكلي في الدارة من خلال المعادلة (3) [13]:

$$P_{avg} = P_{static} + P_{dynamic} \quad (3)$$

2. **زمن التأخير:** يُحدّد زمن تأخير الانتشار من خلال قياس الزمن الفاصل بين لحظة وصول إشارة الدخل إلى 50% من قيمتها العظمى ولحظة وصول إشارة الخرج إلى 50% من قيمتها العظمى، وذلك لكل انتقال في الخرج. وتُعتبر قيمة التأخير الأكبر بين جميع الانتقالات هي زمن التأخير الكلي للدارة، والذي يمثل أسوأ حالة تأخير محتملة [14].

3. **مضروب التأخير بالاستطاعة (PDP):** يحسب مضروب التأخير بالاستطاعة (PDP) من خلال ضرب أسوأ حالة تأخير مع استهلاك الاستطاعة في الدارة [15]، حيث يعبر مضروب التأخير بالاستطاعة عن المقايضة بين معيارين متعارضين وهما التأخير واستهلاك الاستطاعة [16].

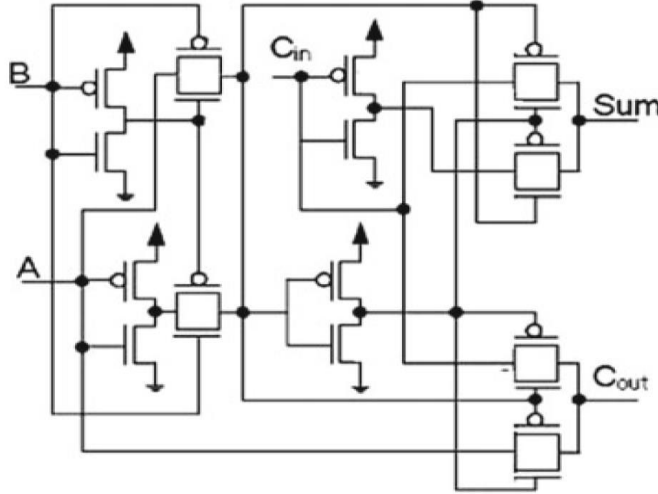
4. المساحة: تشير المساحة إلى الحيز الفيزيائي التي تشغله دائرة الجامع الكامل على الرقاقة، والذي يتم تحديده من المخطط الفيزيائي للدائرة (Layout) [17].

4.2 دائرة الجامع الكامل القائم على تقنية بوابة الإرسال (TG-FA):

صممت دائرة الجامع الكامل TG-FA المبينة في الشكل (3) باستخدام 20 ترانزستوراً، وبالاعتماد على تقنية بوابة الإرسال، حيث تستخدم تقنية بوابة الإرسال (Transmission gate (TG)) ترانزستورين NMOS و PMOS موصولان على التوازي لتمرير الإشارة إلى الخرج بشكل قوي وتجنب مشكلة هبوط الجهد [18].

لفهم آلية عمل بوابة الإرسال يجب توضيح مفهوم قوة الإشارة، والتي تُقَيَّم بمدى قربها من مصدر الجهد المثالي سواء كان VDD أو GND، حيث يُمرر ترانزستور NMOS قيمة 0 منطقي بشكل قوي وقيمة 1 منطقي بشكل ضعيف، بينما يُظهر ترانزستور PMOS سلوكاً معاكساً، حيث يُمرر قيمة 0 منطقي بشكل ضعيف وقيمة 1 منطقي بشكل قوي [10].

تُشكّل بوابة الإرسال بتوصيل PMOS و NMOS على التوازي، والتي يتم التحكم بها عن طريق إشارة تحكم والإشارة المكملة لها، بحيث إما أن يكون الترانزستورين بحالة عمل أو بحالة إيقاف، وبالتالي عندما يكون الترانزستوران في حالة عمل والاستفادة من خاصية ترانزستور NMOS بتمرير 0 منطقي بشكل قوي ومن خاصية ترانزستور PMOS بتمرير 1 منطقي بشكل قوي، فإن إشارة الخرج تكون دائماً قوية [10].

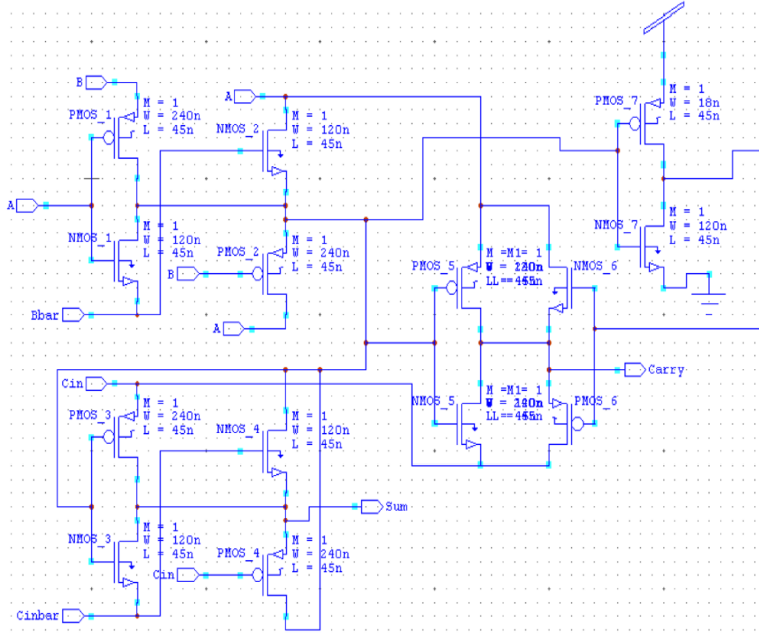


الشكل (3): دائرة جامع كامل قائمة على استخدام تقنية بوابة الإرسال TG (TG-FA) [18].

4.3 دائرة الجامع الكامل الهجينة ((Hybrid Full Adder (H-FA)):

تعتمد دائرة الجامع الكامل الهجينة H-FA على استخدام مجموعة من النواخب المنطقية الهجينة في بنيتها، والتي تعتمد على استخدام تقنية GDI، مما يجعلها قادرة على تنفيذ العمليات المنطقية بعدد ترانزستورات أقل مقارنة بالتصاميم التقليدية، حيث تستخدم دائرة الجامع الكامل الهجينة 18 ترانزستوراً في بنيتها كما هو موضح في الشكل (4) [11].

يتميز هذا التصميم لدائرة الجامع الكامل الهجينة H-FA بأنه ذو استهلاك استطاعة منخفض ومساحة صغيرة، كما أنه يتمتع بجهد خرج متأرجح بشكل كامل، وذلك لاعتماد الدارة على استخدام منطق استعادة المستوى لإشارات الخرج عن طريق إضافة ترانزستورات استعادة التأرجح عند خرج النواخب للتعويض عن هبوط الجهد الناتج عن جهد العتبة [11].



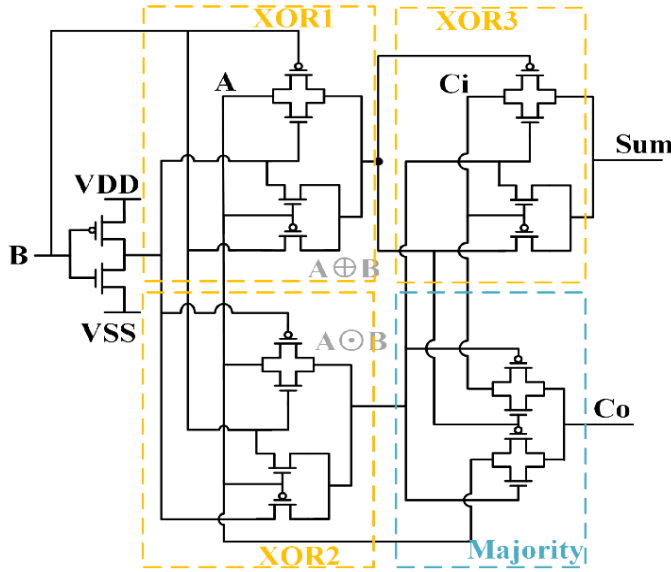
الشكل (4): دائرة الجامع الكامل الهجينة H-FA [11].

4.4 دائرة الجامع الكامل القائم على تقنية PTL (PTL-FA):

تم تصميم دائرة الجامع الكامل PTL-FA بالاعتماد على منطق ترانزستورات التمرير (PTL) باستخدام 18 ترانزستور كما هو مبين في الشكل (5)، حيث تُستخدم تقنية PTL لنشر الجهد عبر ترانزستورات التمرير مباشرة عوضاً عن استخدام سلسلة من ترانزستورات الرفع والسحب، مما يؤدي إلى تقليل الوصلات المتصلة مع التغذية مقارنةً بالدارات التي تعتمد على المنطق CMOS، وهذا ما يقلل من استهلاك الاستطاعة في الدارة [5].

تعتمد دائرة الجامع الكامل PTL-FA في بنيتها على استخدام دارتين منفصلتين لإنتاج كل من XOR و XNOR عوضاً عن استخدام عاكس لإنتاج XNOR من XOR، وبالتالي تعمل الدارتين بشكل متوازٍ بنفس الوقت مما يقلل من التأخير في الدارة والذي ينتج عن استخدام العاكس لإنتاج

XNOR. تتميز هذه الدارة باستهلاك استطاعة منخفض وذلك بسبب استخدام تقنية PTL في بنيتها، مما يقلل من عدد الترانزستورات المستخدمة في الدارة وبالتالي يقلل من استهلاك الاستطاعة [5].



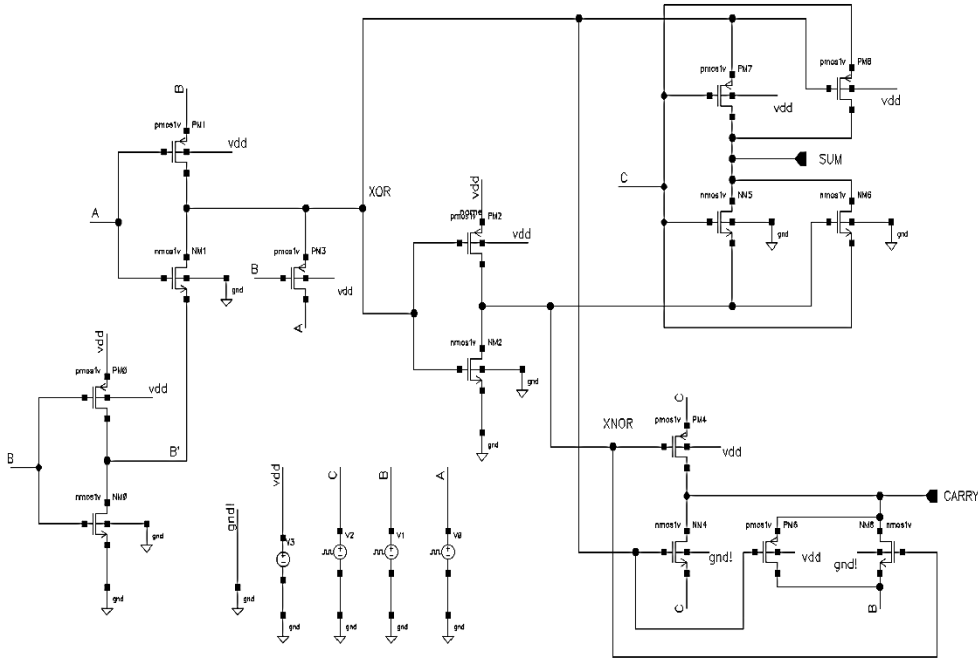
الشكل (5): دارة جامع كامل قائم على استخدام منطق ترانزستورات التمرير PTL (-) PTL (FA) [5].

4.5 الجامع الكامل المقترح (15T-FA):

تم تصميم دارة الجامع الكامل 15T-FA المقترحة باستخدام 15 ترانزستور كما هو مبين في الشكل (6)، حيث تعتمد الدارة المقترحة على استخدام دارة XOR منخفضة الاستطاعة في بنيتها والتي تتكون من 5 ترانزستورات، تم الاعتماد على كل من التقنيتين PTL و GDI لتنفيذ البوابة المنطقية XOR بأقل عدد ممكن من الترانزستورات، ولذلك تتميز دارة XOR المستخدمة بأنها ذات استهلاك استطاعة منخفض ومساحة صغيرة.

تم استخدام تقنية GDI للحصول على إشارة المجموع (SUM)، بالإضافة إلى استخدام ترانزستورات إضافية للمحافظة على مستوى جهد الخرج متأرجح بشكل كامل من 0 إلى Vdd، في حين تم الحصول على إشارة الحمل (CARRY) باستخدام تقنية بوابة الإرسال (Transmission Gate (TG)) للحصول على جهد خرج متأرجح بشكل كامل وذلك من خلال معالجة مشكلة هبوط الجهد الناتج عن جهد العتبة [19].

تتميز دارة الجامع الكامل المقترحة 15T-FA بأنها ذات استهلاك استطاعة منخفض ومساحة صغيرة وذلك بسبب تقليل عدد الترانزستورات المستخدمة في بنية الدارة، مع المحافظة على جهد خرج متأرجح بشكل كامل وأداء زمني جيد من حيث تأخير الانتشار.

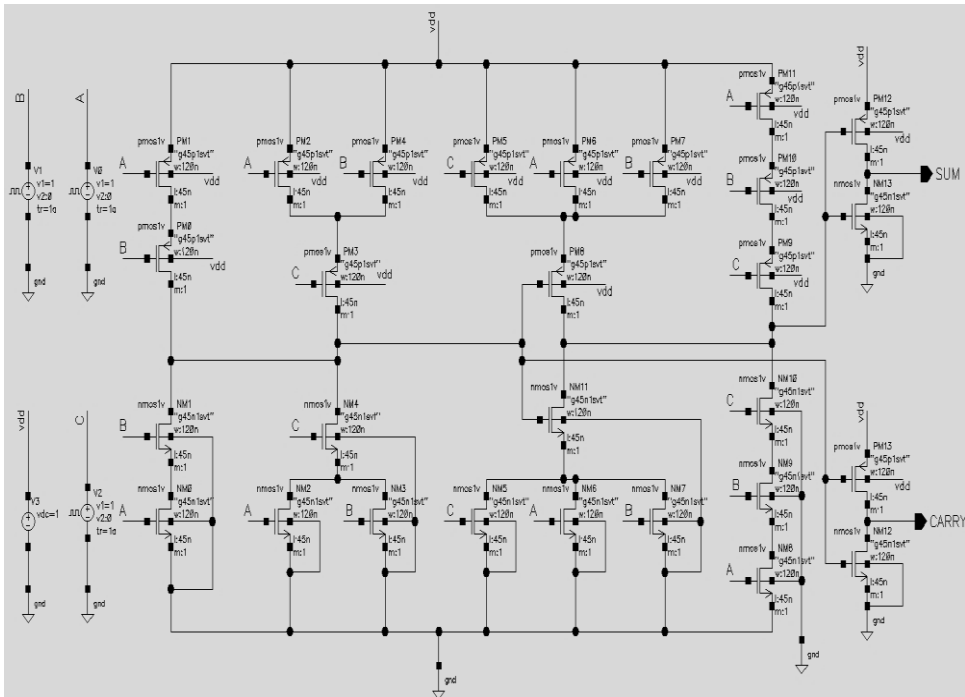


الشكل (6): دارة الجامع الكامل المقترح 15T-FA.

5. نتائج المحاكاة:

5.1 دائرة الجامع الكامل التقليدي (28T-FA):

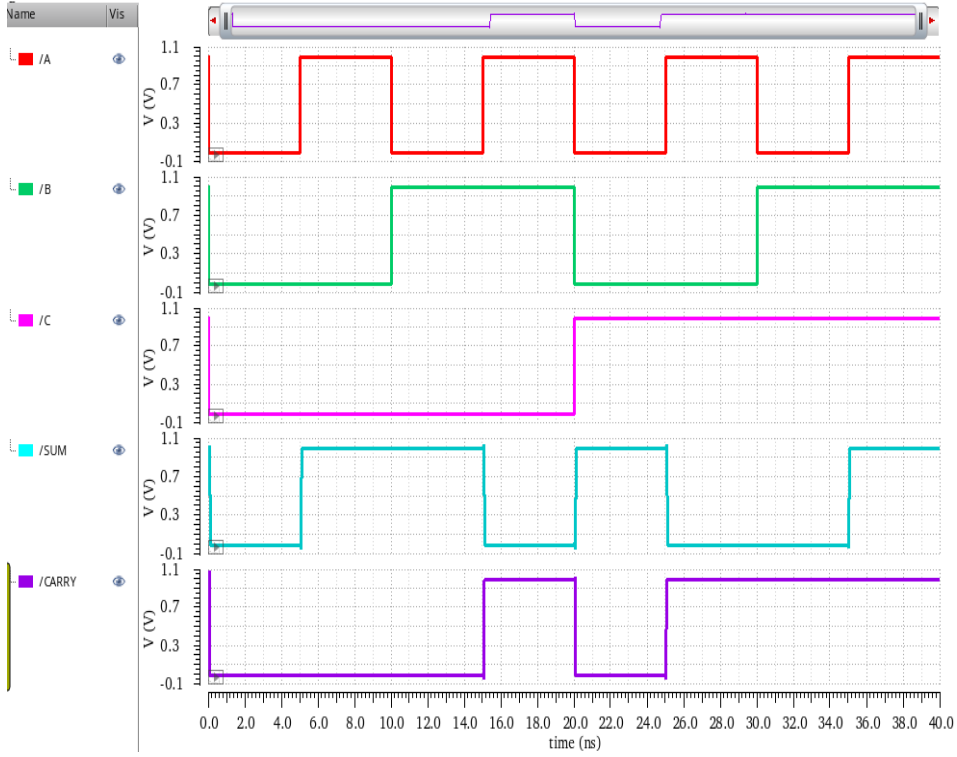
تمت محاكاة دائرة الجامع الكامل التقليدي 28T-FA باستخدام برنامج Cadence Virtuoso عند تقنية 45 nm كما هو مبين في الشكل (7)، وذلك عند جهد تغذية $V_{dd}=1\text{ v}$ ودرجة حرارة $T=27\text{ C}^\circ$ (Celsius) وبأبعاد $(W/L) = 120/45\text{ nm}$ لكل من ترانزستورات الـ NMOS والـ PMOS، حيث أن عرض الترانزستور W وطول الترانزستور L .



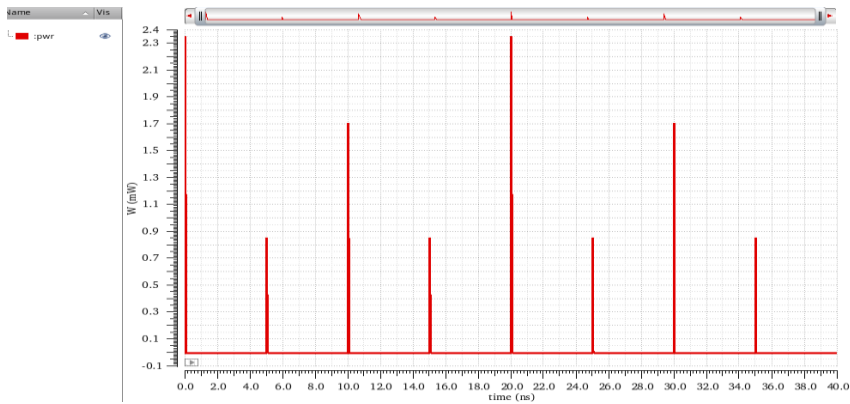
الشكل (7): مخطط الجامع الكامل التقليدي (28T-FA).

تم من خلال هذه المحاكاة إظهار كل من منحنيات الدخل والخرج لدارة الجامع الكامل التقليدي 28T-FA بالاعتماد على المحاكاة العابرة والمبينة في الشكل (8)، وتم حساب كل من البارامترات التالية والتي تعبر عن أداء دارة الجامع الكامل، وهي:

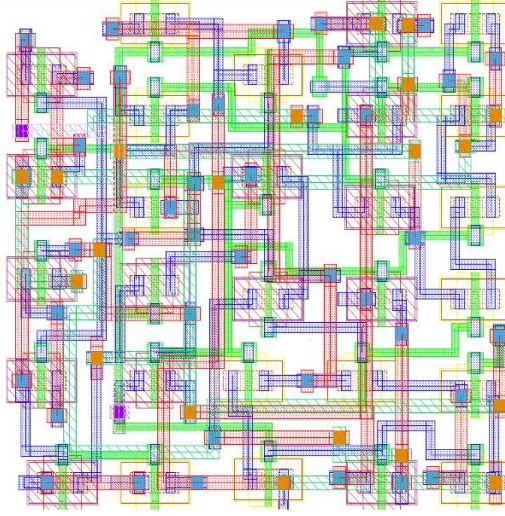
- **الاستطاعة المتوسطة (Average Power):** والتي يتم حسابها من خلال أخذ القيمة المتوسطة للاستطاعة الكلية المستهلكة في الدارة والمبينة في الشكل (9).
- **التأخير:** يتم حساب التأخير لكل من إشارتي الخرج، وهما تأخير إشارة المجموع (Sum Delay) وتأخير إشارة الحمل (Carry Delay).
- **مضروب التأخير بالاستطاعة (PDP):** والذي نحصل عليه من خلال ضرب أسوأ حالة تأخير بالاستطاعة المتوسطة.
- **المساحة (area):** والتي يتم حسابها من خلال التخطيط (layout) لدارة الجامع الكامل، كما هو مبين في الشكل (10).



الشكل (8): المحاكاة العابرة لمداخل ومخارج دائرة الجامع الكامل التقليدي 28T-FA.



الشكل (9): المحاكاة العابرة للاستطاعة المستهلكة لدائرة الجامع الكامل التقليدي 28T-FA.



الشكل (10): تخطيط (layout) لدارة الجامع الكامل التقليدي 28T-FA.

يبين الجدول (2) نتائج محاكاة دارة الجامع الكامل التقليدي 28T-FA:

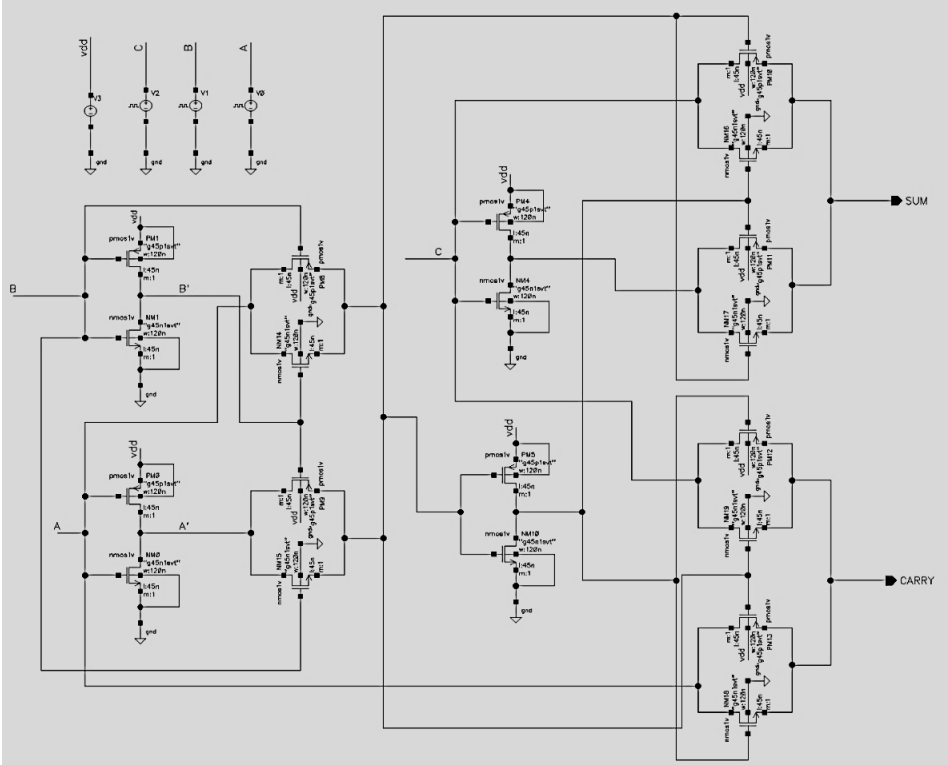
الجدول (2): نتائج محاكاة دارة الجامع الكامل التقليدي 28T-FA.

| المساحة (μm^2) | مضروب التأخير بالاستطاعة (aj) | تأخير إشارة الحمل (ps) | تأخير إشارة المجموع (ps) | الاستطاعة المتوسطة (nW) | |
|--------------------------|--|---------------------------|--------------------------------|-------------------------------|------------|
| 10.011 | 18.103 | 42.8188 | 70.6453 | 256.253 | 28T- FA |

5.2 دارات الجامع الكامل الأخرى:

- دارة الجامع الكامل القائم على تقنية بوابة الإرسال (TG-FA):

تم محاكاة دارة الجامع الكامل TG-FA المبينة في الشكل (11) عند بارامترات تشغيل مشابهة لدارة الجامع الكامل التقليدي 28T-FA. تعتمد هذه الدارة على استخدام تقنية الإرسال TG لتجنب مشكلة هبوط الجهد الناتج عن جهد العتبة، والحصول على جهد خرج متأرجح بشكل كامل. تظهر نتائج المحاكاة في الجدول (3).

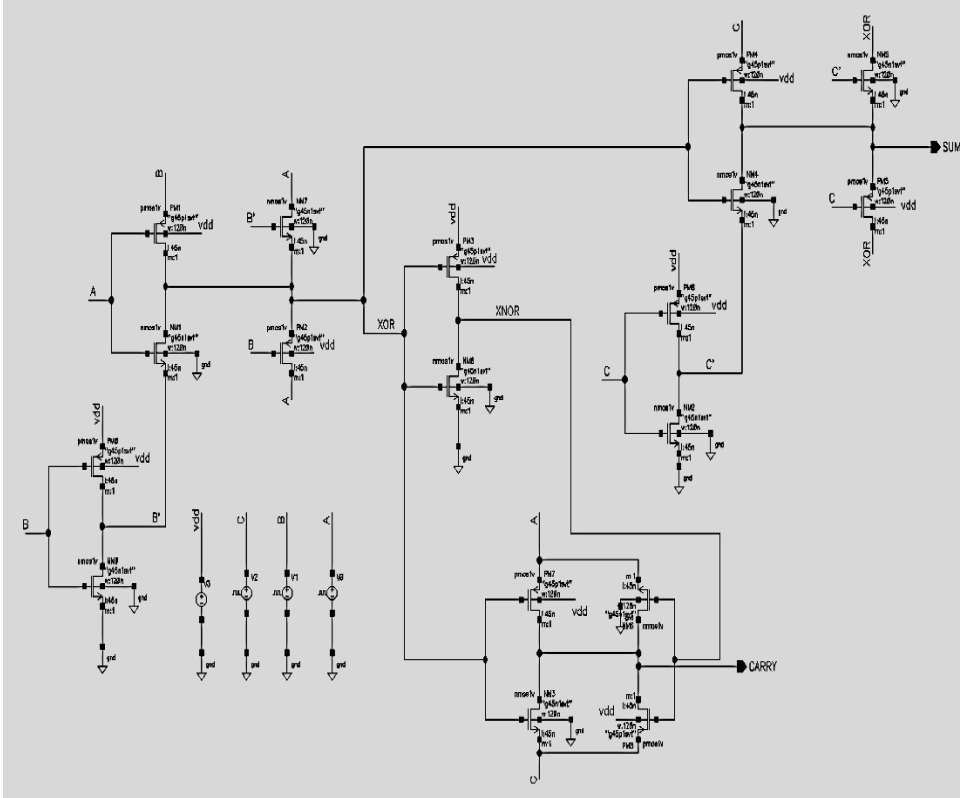


الشكل (11): مخطط دارة الجامع الكامل TG-FA.

• دارة الجامع الكامل الهجينة H-FA:

تمت محاكاة دارة الجامع الكامل الهجينة (H-FA) المبينة في الشكل (12) عند بارامترات تشغيل مشابهة لدارة الجامع الكامل التقليدي 28T-FA. تعتمد دارة الجامع الكامل الهجينة على استخدام

مجموعة من النواخب الهجينة $2*1$ ، وتستخدم في بنيتها 18 ترانزستوراً [11]، تم استعراض نتائج المحاكاة في الجدول (3).

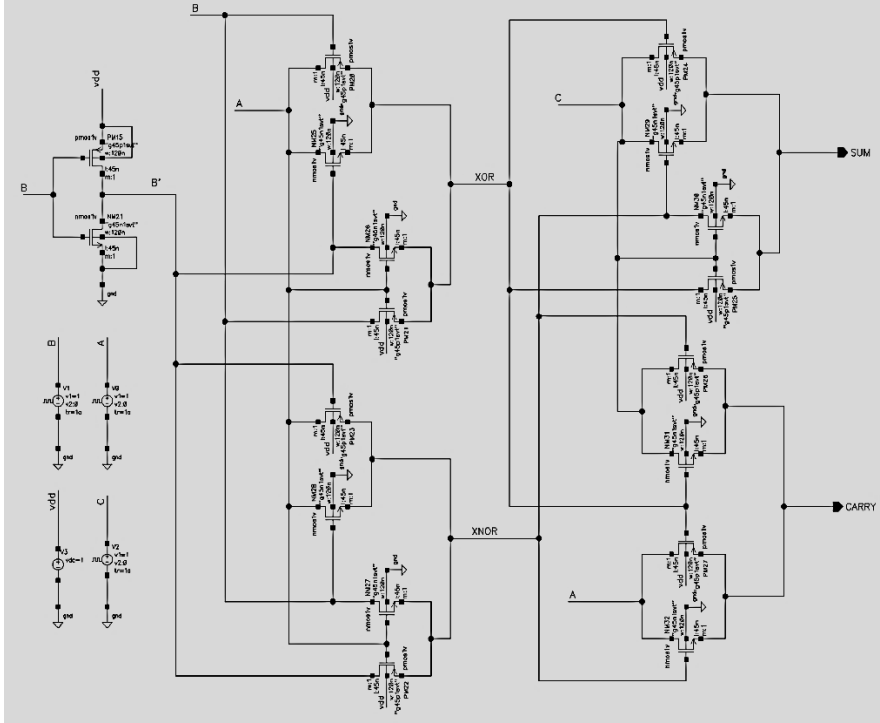


الشكل (12): محاكاة دارة الجامع الكامل الهجينة H-FA.

• دارة الجامع الكامل القائم على تقنية PTL (PTL-FA):

تمت محاكاة دارة الجامع الكامل PTL-FA المكونة من 18 ترانزستوراً كما هو مبين في الشكل (13)، وذلك عند بارامترات تشغيل مشابهة لدارة الجامع الكامل التقليدي 28T-FA. تعتمد هذه الدارة على استخدام تقنية PTL لتقليل عدد الترانزستورات المستخدمة في التصميم، ويتم تصميم

بوابتي XOR و XNOR بشكل منفصل لكي يعملان بشكل متوازٍ في نفس الوقت مما يقلل من التأخير، تم استعراض نتائج المحاكاة في الجدول (3).



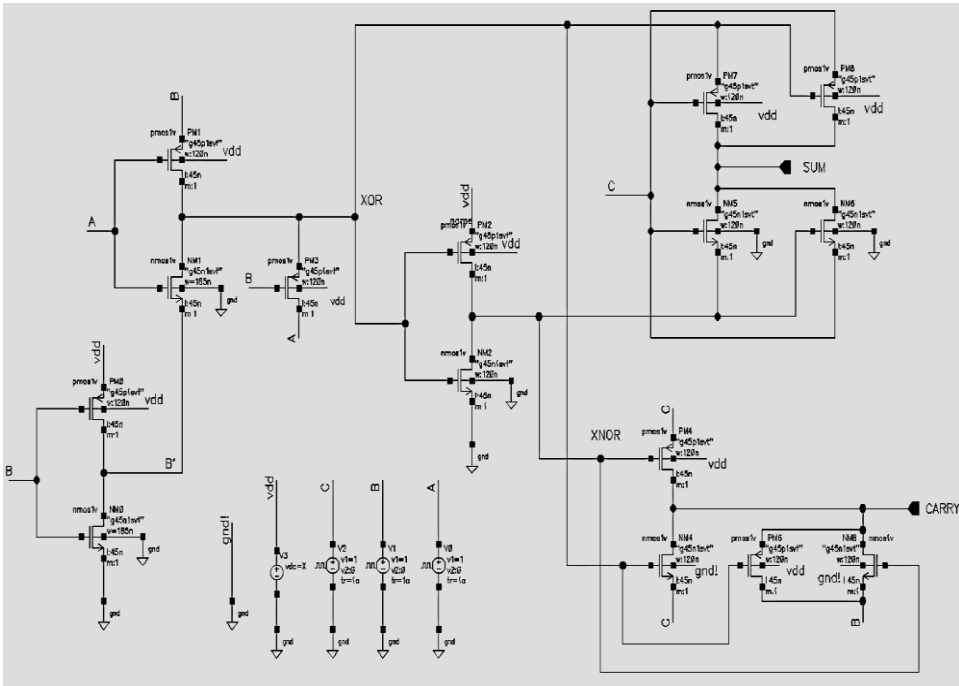
الشكل (13): مخطط دارة الجامع الكامل PTL-FA.

• دارة الجامع الكامل المقترح 15T-FA:

تمت محاكاة دارة الجامع الكامل المقترح (15T-FA) المبينة في الشكل (14) عند بارامترات تشغيل مشابهة لدارة الجامع الكامل التقليدي 28T-FA، والتي تعتمد على استخدام التقنيات GDI و PTL و TG في بنيتها. وكشفت المحاكاة عن أن المسار الذي يضم ترانزستوري الـ NMOS (NM0, NM1) المستخدم في بنية XOR هو المسار الحرج الذي يحمل أقصى تأخير انتشار.

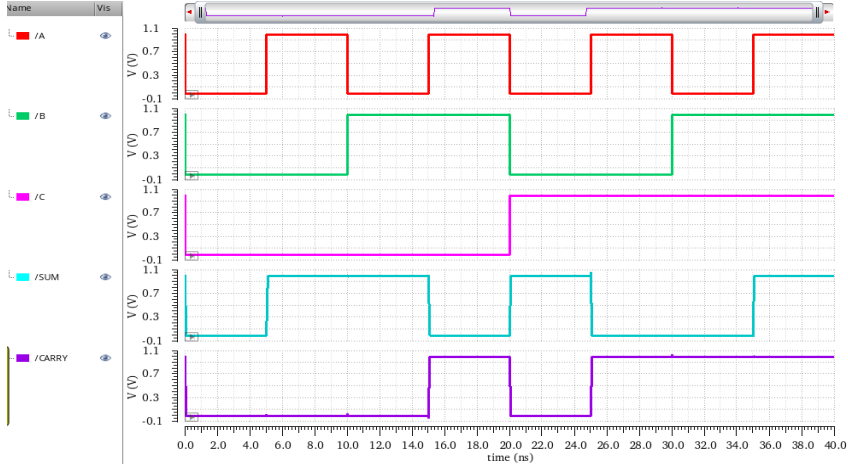
لمعالجة هذا المشكلة تم تحسين أبعاد هذين الترانزستورين من خلال زيادة العرض لكل منهما ليصبح $(W/L) = 185/45 \text{ nm}$.

أدت الزيادة في عرض هذين الترانزستورين إلى زيادة التيار المار في هذا المسار الحرج، مما أدى إلى انخفاض في زمن التأخير، إلا أنه وكما هو متوقع فإن هذا التحسين في التأخير أدى إلى زيادة طفيفة في استهلاك الاستطاعة والمساحة، ولكن دون أن تتأثر كفاءة الدارة الإجمالية بشكل سلبي وذلك بسبب الميزة الأساسية في التصميم، وهي استخدام عدد منخفض من الترانزستورات (15 ترانزستوراً فقط)، مما يضمن المحافظة على استهلاك منخفض للاستطاعة ومساحة صغيرة. تم استعراض نتائج المحاكاة العابرة في الشكل (15) ونتائج المحاكاة في الجدول (3).



الشكل (14): مخطط دارة الجامع الكامل المقترح 15T-FA.

تصميم وتحليل دائرة جامع كامل منخفضة الاستطاعة والمساحة باستخدام تقنية CMOS 45 nm



الشكل (15): المحاكاة العابرة لمداخل ومخارج دائرة الجامع الكامل المقترح 15T-FA.

الجدول (3): نتائج محاكاة دارات الجامع الكامل 28T-FA و TG-FA و H-FA و PTL-FA و

FA و Proposed FA (15T-FA) عند جهد تغذية $V_{dd}=1\text{ V}$

| Proposed FA (15T-FA) | PTL-FA | H-FA | TG-FA | 28T-FA | |
|----------------------|---------|---------|---------|---------|------------------------------------|
| 172.306 | 189.073 | 175.601 | 225.331 | 256.253 | الاستطاعة المتوسطة (nw) |
| 37.1098 | 26.097 | 43.2587 | 50.4574 | 70.6453 | تأخير إشارة المجموع Sum-Delay (ps) |

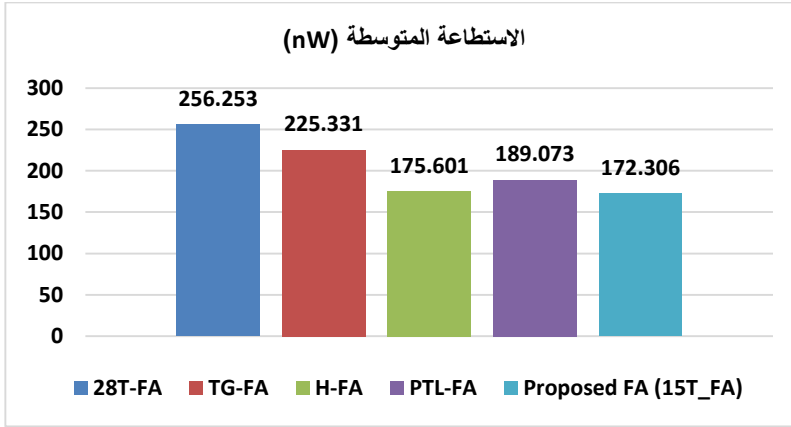
| | | | | | |
|---------|---------|---------|---------|---------|--|
| 32.1969 | 33.0027 | 48.0519 | 39.5295 | 42.8188 | تأخير إشارة الحمل Carry-(ps) Delay |
| 37.1098 | 33.0027 | 48.0519 | 50.4574 | 70.6453 | حالة التأخير الأسوأ - Worst case delay |
| 6.3942 | 6.2399 | 8.4379 | 11.3696 | 18.103 | مضروب التأخير بالاستطاعة PDP (aJ) |
| 15 | 18 | 18 | 20 | 28 | عدد الترانزستورات |
| 4.701 | 5.5913 | 5.6304 | 6.2186 | 10.011 | المساحة (μm^2) |

6. الاستنتاجات:

عند إجراء المقارنة ما بين دارات الجامع الكامل التي تم دراستها في هذا البحث، وكما هو مبين من الجدول (3) فإننا نلاحظ ما يلي:

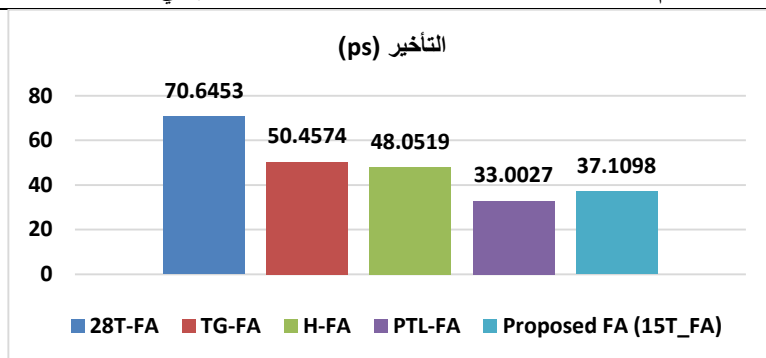
- يلاحظ من خلال المقارنة بين دارات الجامع الكامل المدروسة من حيث استهلاك الاستطاعة أن دارة الجامع الكامل 15T-FA المقترحة هي الأقل استهلاكاً للاستطاعة كما هو مبين

في الشكل (16)، حيث خفضت الدارة المقترحة من استهلاك الاستطاعة بالمقارنة مع الدارات 28T-FA و TG-FA و H-FA و PTL-FA بنسبة % 32.759 و % 23.532 و % 1.876 و % 8.868 على التوالي.



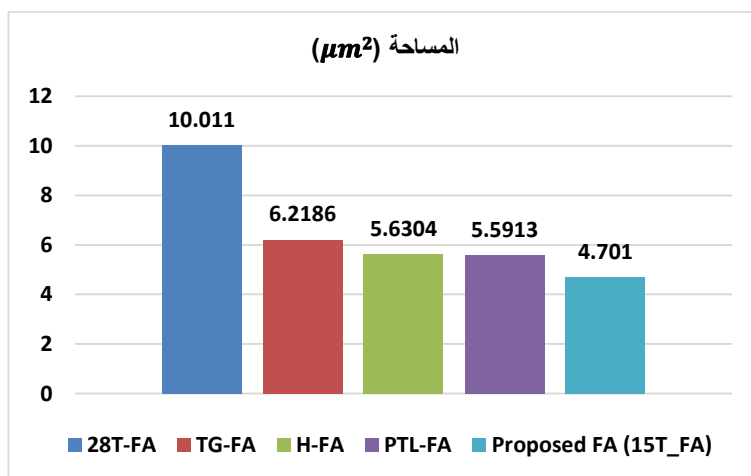
الشكل (16): مقارنة بين دارات الجامع الكامل المدروسة من حيث استهلاك الاستطاعة المتوسطة.

- يلاحظ من خلال المقارنة بين دارات الجامع الكامل المدروسة من حيث التأخير أن داره الجامع الكامل 15T-FA المقترحة تمتلك تأخيراً أقل بالمقارنة مع الدارات 28T-FA و TG-FA و H-FA بنسبة % 47.47 و % 26.453 و % 22.771 على التوالي، في حين تظهر الدارة PTL-FA تأخيراً أقل من الدارة المقترحة بنسبة % 11.06 كما هو مبين في الشكل (17).



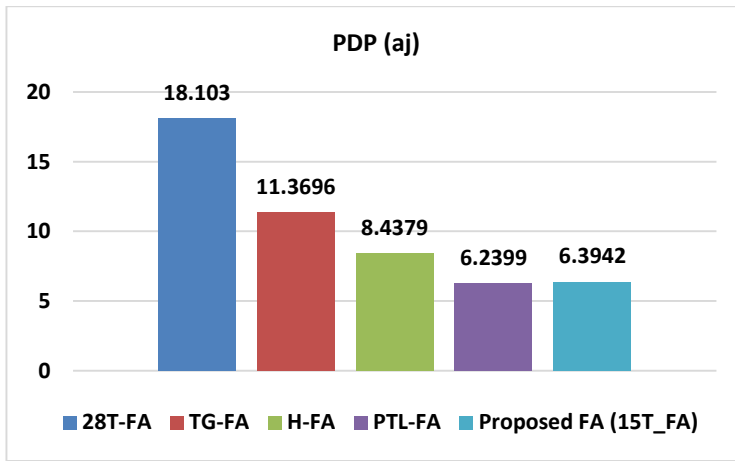
الشكل (17): مقارنة بين دارات الجامع الكامل المدروسة من حيث تأخير الانتشار.

- يلاحظ من خلال المقارنة بين دارات الجامع الكامل المدروسة من حيث المساحة كما هو مبين في الشكل (18)، أن دارة الجامع الكامل المقترحة 15T-FA هي الأقل مساحةً، وذلك بسبب استخدامها عدد أقل من الترانزستورات في بنيتها، حيث خفضت من المساحة المشغولة مقارنةً بالدارات 28T-FA و TG-FA و H-FA و PTL-FA بنسبة % 53.041 و % 24.404 و % 16.506 و % 15.922 على التوالي.



الشكل (18): مقارنة بين دارات الجامع الكامل المدروسة من حيث المساحة.

- يلاحظ من خلال المقارنة بين دارات الجامع الكامل المدروسة من حيث مضروب التأخير بالاستطاعة PDP، والذي يعبر عن كل من استهلاك الاستطاعة والتأخير معاً، أن الدارة المقترحة خفضت من الـ PDP بالمقارنة مع الدارات 28T-FA و TG-FA و H-FA بنسبة % 64.678 و % 43.76 و % 24.22 على التوالي، في حين تمتلك الدارة PTL-FA قيمة PDP أقل بشكل بسيط من الدارة المقترحة بنسبة % 2.413 كما هو مبين في الشكل (19).



الشكل (19): مقارنة بين دارات الجامع الكامل المدروسة من حيث مضروب التأخير بالاستطاعة PDP.

يمكن أن نجد من خلال المقارنة السابقة ما يلي:

- أن دارة الجامع الكامل التقليدي 28T-FA هي الأكثر استهلاكاً للاستطاعة، والأكبر بتأخير الانتشار والمساحة، وذلك بسبب عدد الترانزستورات الكبير المستخدم في بنيتها (28 ترانزستوراً).

- نجد أن الدارة H-FA تتميز باستهلاك استطاعة منخفض، ومتساوٍ تقريباً مع استهلاك الاستطاعة في دارة الجامع الكامل المقترحة 15T-FA، إلا أن الدارة المقترحة تتفوق عليها بشكل واضح في كل من التأخير ومضروب التأخير بالاستطاعة (PDP) والمساحة.
- نجد أن الدارة PTL-FA تتميز بقيمة PDP منخفضة، ومتساوية تقريباً مع قيمة PDP لدارة الجامع الكامل 15T-FA المقترحة، إلا أن الدارة المقترحة تتفوق عليها بشكل واضح من حيث المساحة، وذلك بسبب استخدام عدد أقل من الترانزستورات في بنيتها.
- نجد من المقارنة السابقة ونتائج المحاكاة المبنية في الجدول (3) أن الدارة المقترحة 15T-FA تتميز بكفاءة عالية من حيث مضروب التأخير بالاستطاعة (PDP)، مما يدل على تحقيق التوازن ما بين التأخير واستهلاك الاستطاعة. كما تُعد الدارة المقترحة هي الأقل مساحةً واستهلاكاً للاستطاعة مقارنةً بالدارات الأخرى التي تم دراستها، مما يجعلها خياراً مثالياً للتطبيقات التي تتطلب مساحة صغيرة واستهلاكاً منخفضاً للاستطاعة، مثل الأجهزة المحمولة والأجهزة القابلة للارتداء وتطبيقات إنترنت الأشياء والأنظمة المدمجة وغيرها.

7. الخاتمة:

تم في هذا البحث تصميم ودراسة ومحاكاة دارة جامع كامل مقترحة (15T-FA) باستخدام برنامج Cadence Virtuoso 6.1.7 عند تقنية تصنيع CMOS 45 nm، وتم مقارنتها مع عدة دارات جامع كامل أخرى، وهي 28T-FA و TG-FA و H-FA و PTL-FA من حيث استهلاك الاستطاعة والمساحة وتأخير الانتشار ومضروب التأخير بالاستطاعة (PDP).

أظهرت نتائج المحاكاة بأن الدارة المقترحة 15T-FA تتميز باستهلاك استطاعة منخفض ومساحة صغيرة مع الحفاظ على قيم منخفضة لكل من التأخير وال PDP، حيث خفضت الدارة المقترحة 15T-FA من قيمة الاستطاعة المستهلكة بالمقارنة مع الدارات TG-FA و 28T-FA و H-FA و PTL-FA و FA بنسبة 32.759 % و 23.532 % و 1.876 % و 8.868 % على التوالي. كما أظهرت نتائج المحاكاة أن الدارة المقترحة هي الأقل مساحةً بين الدارات المدروسة، حيث

خفضت من المساحة مقارنةً بالدارات 28T-FA و TG-FA و H-FA و PTL-FA بنسبة % 53.041 و % 24.404 و % 16.506 و % 15.922 على التوالي. بناءً على ذلك تعتبر الدارة المقترحة 15T-FA مناسبة جداً للتطبيقات التي تتطلب استهلاك استطاعة منخفض ومساحة صغيرة، مثل الأجهزة المحمولة والأجهزة القابلة للارتداء وتطبيقات الأنظمة المضمنة منخفضة الطاقة.

يمكن في الأعمال المستقبلية تطوير التصميم المقترح من خلال استخدام تقنيات تصنيع أحدث، مثل 32 nm أو 22 nm وغيرها. ويمكننا دراسة إمكانية استخدام أنواع متقدمة من الترانزستورات مثل FinFET و GnrFET و CNTFET بهدف تحسين الأداء وتقليل استهلاك الاستطاعة، نظراً لما تتمتع به هذه الترانزستورات من خصائص فيزيائية وإلكترونية مميزة تساهم في تعزيز الكفاءة الطاقية والسرعة التشغيلية للدارات الرقمية.

8. المراجع:

1. VENKAT, D., MENDEZ, T., SAMANTH, R., & NAYAK, S. G. (2023, October)- Novel Design of Ripple Carry Adder using High Speed 12T Hybrid MOS Transistors. In Journal of Physics: Conference Series, IOP Publishing. Vol. 2571, No. 1, p. 012025.
2. SINGH, S., & SHUKLA, Y. B. (2023)- Design of Low Power Full Adder for Portable Digital Applications (Doctoral dissertation, GUJARAT TECHNOLOGICAL UNIVERSITY AHMEDABAD).
3. ANAND, S., & INDU, S. (2020, February)- A low power and high speed 8-bit ALU design using 17T full adder. In 2020 7th International Conference on Signal Processing and Integrated Networks (SPIN), IEEE. pp. 514–519.
4. HEMANTH, B. S., & KUMAR, M. S. (2023, October)- Low power, less area, and highly efficient hybrid 1-bit full adder. In Journal of Physics: Conference Series, IOP Publishing. Vol. 2571, No. 1, p. 012026.

5. YIN, N., PAN, W., YU, Y., TANG, C., & YU, Z. (2023)- Low-power pass-transistor logic-based full adder and 8-bit multiplier. *Electronics*, 12(15), 3209.
6. KUKRETI, K., KUMAR, P., BARTHWAL, S., JUYAL, A., & JOSHI, A. (2021, January)- Performance analysis of full adder based on domino logic technique. In 2021 6th International Conference on Inventive Computation Technologies (ICICT), IEEE. pp. 312–316.
7. DUANMU, Y., YANG, J., LI, J., XUE, X., JING, M., & ZENG, X. (2020, November)- A 16-bit arithmetic logic unit design by using gate diffusion input. In 2020 IEEE 15th International Conference on Solid-State & Integrated Circuit Technology (ICSICT), IEEE. pp. 1–3.
8. HONG, B., YOU, X., & HU, J. (2016)- A Low Power Full-Swing Hybrid Full Adder using Modified GDI Cells. *International Journal of Simulation – Systems, Science & Technology*, 17(49): 26.1–26.6.
9. AGGARWAL, P., & GARG, B. (2024)- Energy Efficient Full Swing GDI Based Adder Architecture for Arithmetic Applications. *Wireless Personal Communications*, 135(3), 1663–1678.
10. ARAÚJO, A. F. (2024)- Comparison of full-adder cell layouts for 90 nm CMOS technology (Master's thesis, UNIVERSIDADE DO PORTO (PORTUGAL)).
11. SRINIVAS, D., REDDY, N. S. S., & NAIK, B. R. (2023)- Design and analysis of hybrid 10T adder for low power applications. *e-Prime – Advances in Electrical Engineering, Electronics and Energy*, 6(3), 100379.
12. SHIVAJI, C., PRIYA, G. H., VAMSI, G. V. V., DEVI, K. G., & RAMANI, J. R. (2022)- Power and delay optimization of 8 bit ALU using various techniques. *International Journal of Engineering Research & Technology (IJERT)*, 11(6):335–341.
13. UPADHYAY, R. M., CHAUHAN, R. K., & KUMAR, M. (2022)- Performance evaluation of efficient low power 1-bit hybrid full adder.

- ADCAIJ: Advances in Distributed Computing and Artificial Intelligence Journal, 11(4), 475–488.
14. YADAV, H., GOYAL, A. K., & KUMAR, A. (2020, March)- Design analysis and comparative study of GDI based full adder design. In 2020 6th International Conference on Signal Processing and Communication (ICSC), IEEE. pp. 319–321.
 15. ARULKARTHICK, V. J., THIRUVENGADAM, R., ARVIND, C., & SRIHARI, K. (2021)- Area and power delay product efficient level restored hybrid full adder (LR-HFA). Analog Integrated Circuits and Signal Processing, 109(1), 165–172.
 16. WAIRYA, S., PANDEY, H., NAGARIA, R. K., & TIWARI, S. (2010, November)- Ultra low voltage high speed 1-bit CMOS adder. In 2010 International Conference on Power, Control and Embedded Systems, IEEE. pp. 1–6.
 17. HASAN, M., HUSSAIN, M. S., HOSSAIN, M., HASAN, M., ZAMAN, H. U., & ISLAM, S. (2021)- A high-speed and scalable XOR-XNOR-based hybrid full adder design. Computers & Electrical Engineering, 93, 107200.
 18. VENDHAN, A. M. (2020, March)- Impact of Temperature on Circuit Metrics of Various Full Adders. In International Conference on Communication, Computing and Electronics Systems: Proceedings of ICCCES 2019, Singapore: Springer Singapore. pp. 517–524.
 19. KANDPAL, J., TOMAR, A., & AGARWAL, M. (2021)- Design and implementation of 20-T hybrid full adder for high-performance arithmetic applications. Microelectronics Journal, 115, 105205.