تصميم وحدة التخزين المؤقت في موجه الشبكات ضمن الرقاقة غير المتزامنة القائمة على المنطق NCL

اعداد : م. رهف المصطفى اشراف : أ. د. عبد الله غندور ، د. نبيل دحدوح

الملخص

تُستخدم الشبكة ضمن الرقاقةNOC (Network on Chip) للتواصل ونقل البيانات في الأنظمة ضمن الرقاقة متعددة النواة، نظراً لمزاياها مقارنة بالبنى المعتمدة على خطوط النقل فقط، وخاصةً مع صغر حجم الترانزستور وزيادة تعقيد الدارات. يمكن تنفيذ الشبكة NoC بشكل متزامن، أو غير متزامن، أو عالمياً غير متزامن، ومحلياً متزامن GALS (Globally Asynchronous,Locally Asynchronous). إن أداء التصميم المتزامن محدود بمعدل الساعة المركزية الذي يعتمد على أبطأ مسار حرج(أسوأ حالة) مما يجعل من الضروري تحسين جميع أجزاء التصميم، بينما يتجنب التصميم غير المتزامن مشاكل انحراف الساعة وتوزعها على الرقاقة، ويتيح مرونة في تحسين أجزاء النظام بشكل مستقل عن بعضها، كونه لا يعتمد على أداء أسوأ حالة، وبالتالي فهو يقدم أداءً أفضل من حيث التأخير على عكس نظيره المتزامن، كما يتميز أيضاً باستهلاك منخفضللطاقة. تُعد وحدات التخزين المؤقت أحد الأجزاء الأساسية في موجهات الشبكة ضمن الرقاقة على اختلاف أشكالها وبغض النظر عن آلية التزامن المعتمدة فهي تلعب دور مهم في الحفاظ على البيانات من الضياع وتتحكم بتدفقها ضمن الشبكة.

في هذا البحث، تم الاستفادة من مزايا منطق الاتفاقية الفارغة NCL(Null Convention Logic) وهو منطق غير متزامن شبه غير حساس للتأخير بهدف تصميم بنية جديدة لوحدة التخزين المؤقت المستخدمة في موجه الشبكات ضمن الرقاقة تشبه في مبدأ عملها وحدة التخزين FIFO (First-In-First-Out) ولكنها تقدم أداءً أفضل من حيث استهلاك الموارد والسرعة والتأخير حيث تُظهر النتائج أن البنية الجديدة تستهلك موارد أقل بنسبة 50% مقارنةببنية الـ FIFO، مع تحسن بزمن التأخير بمتوسط نسبة30% تقريباً من أجل السعات التخزينية الصغيرة.

الكلمات المفتاحية: الشبكات ضمن الرقاقة، الدارات غير المتزامنة، FIFO، وحدة التخزين المؤقت، المسجل، منطق الاتفاقية الفارغة.

Abstract

Network on Chip is employed for on-chip communication in multicore System-on-Chips for its advantages over bus-based architectures, more so with reducing feature size. The NoC implementation can be synchronous, asynchronous or Globally Asynchronous Locally Synchronous (GALS). However, synchronous design performance is limited by the global clock rate and depends on the slowest critical path, making it indispensable to optimize all portions of the design. Asynchronous design avoids clock skew and clock distribution issues on the chip and allows flexibility in the optimization of the rarely used portions of the system. Along with the benefit of reduced power consumption, they perform better in terms of delays, yielding average-case performance, as opposed to the worst-case performance yielded by the synchronous counterpart.

One of the integral parts of NoC routers is buffers, they play an important role in saving data from loss and controlling its flow within the network.In this paper, we proposeda new buffer structure for NOC router,that isa shift register block implemented using NULL convention Logic operates in a way that is identical to aFIFO but offers better performance in terms of resource consumption, speed, and latency.

Keywords:networks on chip, Asynchronous circuit, Null Convention Logic, buffer, RegisterFile.

1.المقدمة:

يُعرف نموذج الشبكة ضمن الرقاقة (NoC) بأنه المنهجية المتبعة في حل مشكلة ضيق النطاق الترددي للربط التقليدي ضمنالرقاقة [1]، [2]،ولكن على الرغم من مزاياه العديدة المحتملة، مثل معدل الإنتاجية العالي، وزيادة قابلية التوسع، وتعدد الاستخداماتبالإضافة إلى كفاءة جيدة في إدارة الطاقة، إلا أن نموذج NoC يجب أن يتعامل مع التعقيد المتزايدلتوزيع إشارات الساعة والتزامن عبر الرقاقات ذات المساحة الكبيرة.

مع تزايد المشاكل المتعلقة بالتزامن في مجال الشبكات ضمن الرقاقة ظهر النهج غير المتزامن كمحاولة للتخلي عن قيادة الساعة المركزية والمزامنة باستخدام أشارات مصافحة محلية تتحكم بتدفق البيانات ضمن الشبكة.

على مدى العقود القليلة الماضية، طورت العديد من الجامعات والهيئات الصناعية [3–6] بنى لموجهات الشبكات ضمن الرقاقة باستخدام تقنيات رقمية غير متزامنة لمعالجة المشاكل المتعلقة بتوزيع إشارة الساعة والاستفادة من المزايا العامة للتصميم غير المتزامن مقارنةً بالتصميم المتزامن التقليدي من خلال إمكانية تقليل استهلاك الطاقة، وتحسين الأداء باعتماد التأخير الفعلي للمكونات بدلاً من تأخير المسار الحرج. حيث تُظهر التقنيات غير المتزامنة، وخاصةً الدارات غير الحساسة للتأخير، سلوكًا بطبيعته يعتمد على الأحداث [7]،فهي تستهلك الطاقة فقط عند الحاجة إلى التبديل أي عند وجود بيانات بحاجة للمعالجة. يوجد حالياً نموذجين للتصميم غير المتزامن[8] هما نموذج التأخير المحدود، والنموذج غير الحساس للتأخير، ويندرج التصميم باستخدام منطق الاتفاقية الفارغةNCL [7] ضمن النماذج غير الحساسة للتأخير .

يعتبر الموجه هو العنصر الأساسي في الشبكات ضمن الرقاقة يمكن من خلاله توجيه البيانات ضمن الشبكة لتصل إلى الوجهة المحددة لها،ولتقليل فقدان البيانات في حالة تدفقات البيانات المتعددة، فإن معظم بنى الموجهات على اختلاف تصاميمها تحتوي على وحدات تخزين مؤقت

مُهيأة عند منافذ الدخل أو الخرج، ويعد استخدام وحدة التخزين "الداخل أولاً الخارج أولاً" (FIFO) واحدة من أكثر الطرق كفاءةً واستخداماًفي هذا المجال[9].
نقدم ضمن هذا البحث تصميم جديد لوحدة التخزين المؤقت المستخدمة ضمن الموجهات غير المتزامنة القائمة على المنطق .NCL. يستند التصميم إلى ملاحظة أن سلسلة مسجلات الإزاحة SR (shift-register) المصممة باستخدام المنطق NCL تُشبه إلى حد كبير بمبدأ عملهاوحدة التخزينFIFO غير المتزامنة، حيث تنتشر بيانات الدخل عبر الدارة بأكملها حتى تصل إلى نهاية السلسلة، أي تمتلئ البيانات من طرف الخرج إلى الخلف باتجاه الدخل وبالتالي يمكنمن خلال الاستخدام الدقيق لبنية المسجلSR القائمة على المنطق NCLتحسين أداء وحدةالتخزين المؤقت.

يُنظَّم الجزء المتبقي من هذا البحث على النحو التالي: يوضح القسم الأول هدف البحث ويعرض أحدث الدراسات في مجال تصميم وحدة التخزين المؤقت المستخدمة في الشبكات ضمن الرقاقة غير المتزامنة، ويتناول القسم الثاني المبادئ الأساسية للمنطق غير المتزامن، ويُبيِّن أسلوب تصميم المنطقNCL، بينما يصف القسم الثالث بنية وحدة التخزين المؤقت FIFOالمستخدمة في الشبكات ضمن الرقاقة غير المتزامنة،ويُبيِّن القسم الرابع تصميم وحدة التخزين باستخدام سلسلة المسجلات وآلية عملها،ويعرض القسم الخامس نتائج المقارنة والتحليل بين البنيتين. وأخيرًا، في القسم السادس نختتم البحث ونُحدِّد الأعمال المستقبلية.

1.1. هدف البحث:

حالياً أصبحت الشبكات جزء أساسي في الأنظمة ضمن الرقاقة لما تقدمه من مزايا من حيث زيادة الإنتاجية وتقليل التأخير وتنظيم تدفق البيانات وغيرها، ولكن أغلب الأنظمة تميل إلى تقليل الموارد المستهلكة من قبل الشبكة وتحسين أداءها كون ذلك يعود بالأثر على أداء كامل النظام. تعتبر وحدات التخزين المؤقت جزء أساسي في موجه الشبكات ضمن الرقاقةعلى اختلاف أشكالها وطبولوجياتها للحفاظ على البيانات من الضياع وتنظيم تدفقها.
يهدف هذا البحث إلى الاستفادة من مزايا المنطق NCL في تصميم وحدة تخزين مؤقت تعمل بشكل مشابه لوحدة التخزين المؤقت FIFO المستخدمة بأغلب تصاميم موجهات الشبكات ضمن الرقاقة، ولكنها أقل استهلاكاً للموارد وتحقق تحسناً بزمن التأخير من أجل السعات التخزينية

الصغيرة، وهذا بدوره يؤدي إلى تحسين أداء الموجه القائم على المنطق NCLوتقليل استهلاكه للموارد.

2.1. دراسات سابقة:

منذ بداية القرن الحادي والعشرين، ومع تزايد تعقيد الدارات المتكاملة ظهرت الشبكات ضمن الرقاقة (NOC) كحل بديل للاتصالات ضمن الرقاقةالقائمة على الناقل (Bus) حيث كانت أغلب تصاميم هذه الشبكات في البداية متزامنة، ولكن مع زيادة توسع الرقاقة وتعقيد الأنظمة أصبح أداءهاأقل فعالية مما دفع العديد من الباحثين والمصنعين اليوم باتجاه إما بنىGALS (والتي قد تكون غير فعالة بشكل كافٍ كونها تحتاج إلى واجهات تزامن مع الوحدات الوظيفية وبين هذه الوحدات والموجهات) أو الشبكات غير المتزامنة.

العنصر الأساسي المكون لهذه الشبكات هو الموجهات التي مهمتها توجيه رزم البيانات بين الوحدات الوظيفية ضمن الرقاقة، وهذه الموجهات تتكون بشكل عام من عدة وحدات تخزينوالتي تشكل جزء أساسي من الموجه حيث تستخدم كوحدات تخزين مؤقت لتقليل فقدان البيانات وتنظيم التدفق، بالإضافة إلى بعض دارات التحكم والتوجيه.

أغلب تصاميم الشبكات ضمن الرقاقةتعتمدآلية الـ FIFOالدائرية في وحدات التخزين المؤقتحيث تعتبر من أكثر الطرق فعاليةً وانتشاراً [9] لبساطتها وسهولة استخدامها، فهي تدعم فقط عمليات الكتابة والقراءة المتسلسلة،وتستخدم مبدأ "الأول في الدخول أول في الخروج"،ويختلف هذا المبدأ عن الذواكر التقليدية بأنه لا يحتاج إلى مسار خارجي خاص بعنوان الكتابة والقراءة حيث يُضاف عنوان البيانات تلقائيًا بواسطة مؤشر القراءة والكتابة الداخلي من خلال تحديده بموقع المؤشربدلاً من تحديده بواسطة مسار العنوان الخاص بالقراءة أو الكتابة،وهذا ما يجعل بنية الـ FIFO مناسبة لعمل الموجه فهي قادرة على تنظيم تدفق رزم البيانات والمحافظة على تسلسلها بالإضافة إلى بساطة بنيتها مقارنة بوحدات التخزين الأخرى.

تعتمد بنية وحدة التخزينFIFO المتزامنة على إشارة ساعة واحدة لقيادة المنافذ ووحدات التخزين، أما إذا كان تنفيذFIFO قائماً على الساعة، ولكن الدخل والخرج محكومين بنبضات ساعة مختلفة

عن الساعة الداخلية للـ FIFO(في التردد و/أو الطور و/أو دورة العمل، إلخ)، تُسمى الدارة الناتجة FIFO ثنائي التزامن. تجدر الإشارة إلى أن الـFIFO ثنائي التزامن هو في الواقع دارة غير متزامنة عالمياً ومتزامنة محلياً (GALS)، ويُستخدم بكثرة كمُوافق تزامن[10]في الأنظمة ذات خصائص السرعة المختلفة و/أو التي تستخدم نطاقات ساعة مختلفة. إذا لم تستخدموحدة التخزينFIFOنبضة ساعة لمزامنة عملياتها، فهي تعتبر نظام غير متزامن فعلياً (AFIFO) يعتمد بروتوكولات مصافحة محلية سواءً على منافذه أو ضمن الدارة الداخلية للتحكم بتدفق البيانات.

نظراً لأهمية بنى الـ FIFO وتأثير أداءها الكبير على عمل الموجه في الشبكات ضمن الرقاقة، ركزت العديد من الدراسات على تحسين هذه البنى وآلية عملها وكان الاهتمام مؤخراً موجّه نحو تصاميم FIFO غير المتزامنة حيث أثبتت هذه الدراسات كفاءة هذه التصاميم من حيث الإنتاجية والتأخير بالإضافة لاستهلاك طاقة أقل مقارنة بالتصاميم المتزامنة ففي [11]تم اقتراح بنية جديدة لوحدة التخزين المؤقت FIFO يمكن استخدامها في الشبكات ضمن الرقاقة غير المتزامنة ومتعددة التزامن. صُممت هذه البنية باستخدام نموذج التصميم غير المتزامن محدود التأخيرBD(Bounded Delay)، وإشارات مصافحة ثنائية الطور، وتتميز بتقليل تأخير المسار الحرج إلى النصف وتبسيط عمليات التوقيت بين وحدة فك ترميز الذاكرة ومؤشر العنوان مع الحفاظ على المتانة ضد تغيرات العملية والجهد ودرجة الحرارة، وأثبتت نتائج هذه الدراسة أن البنية المقترحة أسرع بخمس مرات، وأقل استهلاك للطاقة بـ 2.3 مرة، وتحقق معدل نقل بيانات يبلغ 1 جيجا كلمة/ثانية من أجل حجم كلمة 64 بت.

على نحو متصل في [12] تم اقتراح ثمانية بنى مختلفة لوحدة التخزينالمؤقتFIFOغير المتزامنةذات ثمانية مراحل (أي عمق وحدة التخزين يساوي 8 بت)وعرض 32 بت بهدف استكشاف خيارات تصميم الـ FIFO غير المتزامن وخاصةً النماذج غير الحساسة للتأخيرDI (Delay Insensitive)، وبالتالي فإن هذه البنى تعتمد نموذج شبه غير حساس للتأخير QDI (Quasi Delay Insensitive) في تصميمها وتختلف عن بعضها من حيث ترميز البيانات (ترميز ثنائي الأسلاك DR (Dual Rail) أو 1 من 4 (1of4))، وآلية عمل برتوكول المصافحة (برتوكول ثنائي الطور 2ph (2phase) أو برتوكول رباعي الطور 4ph (4phase)، بالإضافة إلى الآلية المستخدمة لتوليد إشارة تأكيد الطلب ack (acknowledgment) إما من خلال توليد إشارة ack

(يعبر عنها بسلك واحد) بين كل مرحلتي AFIFO متتاليتين (تسمى هنا busack)أو آلية unitack حيث يُولد كلمسجلDIضمن المرحلة إشارة ack للمرحلة السابقة ومن خلال المقارنة بين هذه البنى أظهرت النتائج أن استخدام الترميز 1 من 4 وبرتوكول المصافحة رباعي الطور مع اعتماد unitackلتوليد إشارة الـ ack هي الأفضل وفقاً لجميع المقاييس (المساحة والإنتاجية وكفاءة استهلاك الطاقة) ولكن كما ذكر ضمن هذه الدراسة فإنه مع زيادة السعة التخزينية يمكن أن تختلف هذه النتائج، كما أن محدودية البيئة المستخدمة لتنفيذ هذه البنى يقيد التجارب إلى حد ما ويمكن أن يؤدي إلى نتائج غير منطقية مثل أن برتوكول المصافحة رباعي الطور أكثر كفاءة من ناحية استهلاك الطاقة مقارنة بالبرتوكول ثنائي الطور على الرغم من أن البرتوكول ثنائي الطور يقلل التبديل ضمن الدارة (كل تبديلفي خط البيانات في البرتوكول ثنائي الطور يحمل معلومات ذات معنى) وبالتالي يستهلك طاقة أقل مقارنة بالبرتوكول رباعي الطور.

في [13]تم اعتماد نموذجتصميم غير متزامن شبه غير حساس للتأخير QDIلتصميم وحدة التخزين المؤقتFIFOإلى جانب الترميز ثنائي الأسلاك، ووفقًا للنتائج تحافظ البنية غير المتزامنة المقترحة على كفاءة التشغيل من حيث الإنتاجية والتأخير، مع استهلاك طاقة أقل بنسبة 50% وتوفير بمساحة الرقاقة مقارنةً بالتصميم المتزامن.

تم استعراض ضمن هذا البحث أسلوب تصميم مختلف عن الدراسات السابقة لتنفيذ وحدة التخزين المؤقت غير المتزامنة من خلال الاستفادة من آلية عمل المنطق NCL في تصميم سلسلة مسجلات إزاحة تعمل بطريقة مماثلة لوحدة التخزينFIFOوقمنا بالمقارنة بين هذه البنية وبنية الـ FIFO غير المتزامنة التي تم تنفيذها أيضاً باستخدام المنطق NCL.

2. التصميم غير المتزامن ومنطق الاتفاقية الفارغة NCL:

تطرقنابإيجاز في هذا القسم من البحث للاختلافات الرئيسية بين التصميم المتزامنالتقليديوالتصميم غير المتزامن، ونقدم لمحة سريعة حولخصائص منطق الاتفاقية الفارغةNCL.

يستخدم التصميم المتزامن التقليدي إشارة ساعة مركزية للتحكم في تدفق البيانات من خلال منطق توافقي بين مراحل المسجل المُفعّلة باستخدام القدح بالحافة. في المقابل، يعتمد التصميم غير

المتزامنإشارات مصافحةمحلية (الطلب وتأكيد الطلب)، تتعلق آلية عملها بنموذج التصميم المستخدم حيث تنقسم النماذج غير المتزامنة إلى فئتين أساسيتين هي نموذج التأخير المحدود BD (Bounded Delay)، والنموذج غير الحساس للتأخيرDI (Delay Insensitive) الذي يندرج ضمنه النموذج شبه غير حساس للتأخير QDI.يعتبر منطقNCLشبه غير حساس للتأخير وهو من أقل النماذجحساسية للتأخير مقارنة بغيره [7]،ففي نموذج التأخير المحدود (BD)يتم تقييم التأخيرات في كل من البوابات والأسلاك وتحديدها وفقاً لأسوأ السيناريوهات لتجنب الأخطاء. بينما يعتبر QDIغير حساس للتأخير الناتج عن البوابات والأسلاك ولكنه يُقيّد بالتفرع المتزامن ومسارات التغذية العكسية. أما المنطقNCLفهو مُقيد بمسار التغذية العكسية فقط والذي هو عادةً أقل تأخيراً من المسار الحرج للدارة وبالتالي يمكن استيفاء هذا القيد بسهولة.

يعد منطق الاتفاقية الفارغة NCLمن أكثر النماذج الواعدة في مجال التصاميم غير الحساسة للتأخير كونه متكامل منطقياً (فهو ليس بحاجة إلى عناصر غير منطقية مثل الساعة أو عناصر تحكم أو خطوط تأخير لضبط وإكمال العملية)، ومستقل محليًا، متزامن ذاتيًا وقادر على اكتشاف الأخطاء تلقائياً بالاعتماد على بنيته التركيبية.

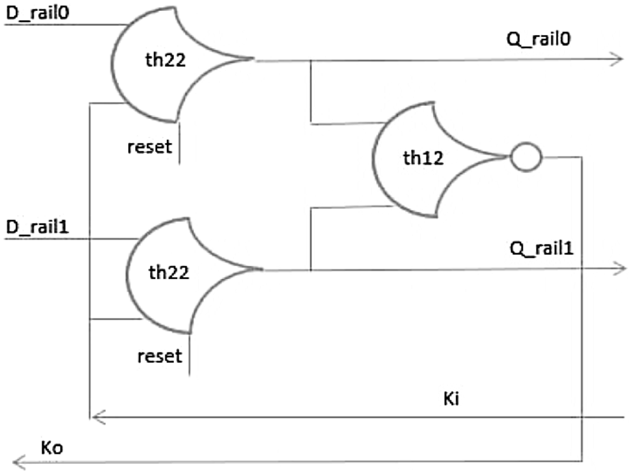
يعتمد هذا المنطق [7] على بوابات منطقية خاصة تدعى بوابات العتبة تتميز بقدرتها على الاحتفاظ بالحالة كما أن حالة الخرج الخاصة بالبوابة لا تعتمد فقط على قيم الدخل الحالية بل أيضاً على قيم الخرج السابقة، لذلك فهي تتطلب وجود مسار تغذية عكسيةلعناصرها المحتفظةبالحالةويجب أن يكون تأخير هذا المسارأقل من التأخير الأمامي عبر البوابة وعادةً ما يكون تحقيق ذلك سهلاً.

تُنفذ دارة NCL من خلال ربط العناصر الأولية والتي هي بوابات العتبة M–of–N،حيث تُبنى جميع الكتل الوظيفية بما في ذلك عناصر المنطق التوافقي وعناصر التخزينباستخدام هذه البوابات،ويتحقق اكتمال الإدخال بإضافة القيمة NULL إلى القيم المنطقية الأساسية (TRUE وFALSE)، وذلك لتمثيل حالة "لا توجد بيانات"، وتكون بيانات الخرج صالحة فقط عند انتقال حالة جميع المداخل من القيمةNULL إلى قيمة البيانات، وهذا يتطلبألا تنتقل إشارة خرج البوابة إلى البيانات إلا بعد أن يصبح على جميع المداخلبيانات. وبالمثل، لن ينتقل الخرج إلى القيمة NULL إلا بعد أنتصبح القيمة NULL على جميع المداخل. نستخدم الترميز ثنائي الأسلاك لتمثيل هذه القيم الثلاث وفق الجدول(1) المبين أدناهبحيث تفصل موجة NULL بين جبهتي موجة DATA.

الجدول(1): التعبير وفق الترميز مزدوج الأسلاك[7].

A^1	A^0	A
0 v	0 v	NULL
0 v	1 v	Logic 0 (data)
1 v	0 v	Logic 1 (data)
1 v	1 v	Not allowed

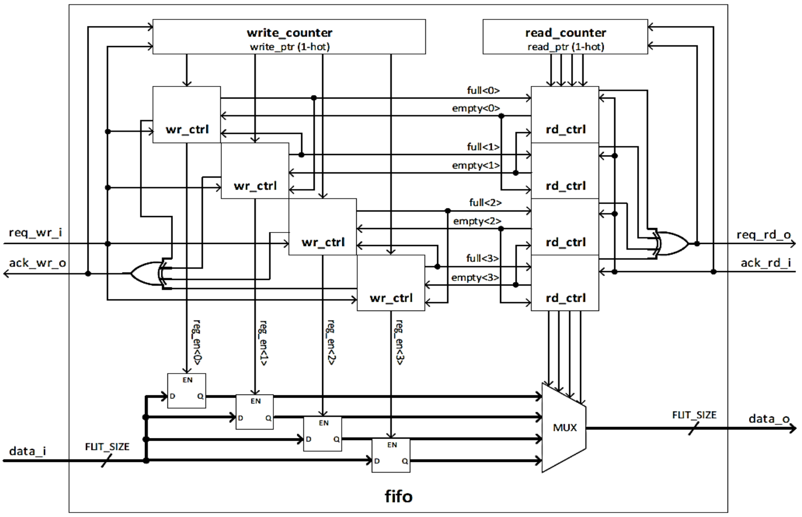
يلعب مسجل الإزاحةNCLالمبين في الشكل (1) دور ماسك ثنائي الحالة [14]، حيث يُنظر إلى Ki كإشارة تفعيل. يصبح المسجل بحالة تفعيل (شفاف) عندما يكون كل من Ki و D عبارة عن بيانات أو Null والعكس صحيح، سيكون في حالة عدم تفعيل (غير شفاف). لتوضيح العملية أكثر، عندما يكون Ki بحالة NULL أو بيانات، فإن حالة الدخلD ستظهر على الخرجQفقط إذا كان Dبنفس حالة Ki. بخلاف ذلك، سيحتفظ الخرج Q بالحالة السابقة.



الشكل (1): بنية مسجل NCL ثنائي الأسلاك[14].

3. بنية وحدة التخزين المؤقتFIFOفي الشبكات ضمن الرقاقة غير المتزامنة:

يبين الشكل (2)بنية وحدة التخزين المؤقت [16][15]FIFOالتي تم اعتمادها في هذه الدراسة لمقارنتها مع بنية سلسلة المسجلات وهذه الوحدة تتألف من وحدة تحكم بالكتابة (wr_ctrl)[17]،ووحدة تحكم بالقراءة (rd_ctrl)[17]،وعداد (read/write_counter) بالإضافة إلى مسجلات لتخزين البيانات حيث تعمل وحدتا التحكم بالكتابة والقراءة بشكل أزواج، حيث تصلان إلى نفس مسجل البيانات. ويتم من خلال الإشارةreg_en_o تفعيل المسجل لتخزين البيانات بينما تُستخدم إشارة full_o كإشارة طلب لإعلام وحدة التحكم بالقراءةrd_ctrl بتوفر بيانات جديدة للقراءة. أما إشارة empty_o فهي إشارة تأكيد تُشير إلى قراءة البيانات. لا يُمكن كتابة بيانات جديدة إلا عندما تكون وحدة التحكم wr_ctrl نشطة (أي عندما تكون en_iبحالة تفعيل) وقد تمت قراءة البيانات المخزنة حالياً، وهو ما يُمكن تحقيقه بواسطة بوابةXNOR بين إشارتي full_o و empty_i. يتم التحكم بالعداد من خلال بوابةXNOR بين إشارة طلب وإشارة التأكيد (req_i و ack_i)، حيث يزيد بمقدار واحد في نهاية كل دورة مصافحة، أي عند حدوث انتقال علىack_i.



الشكل(2):بنية وحدة التخزين المؤقتة FIFO غير المتزامنة[15].

4. التصميم وحدة التخزين المؤقت باستخدام سلسلة المسجلات:

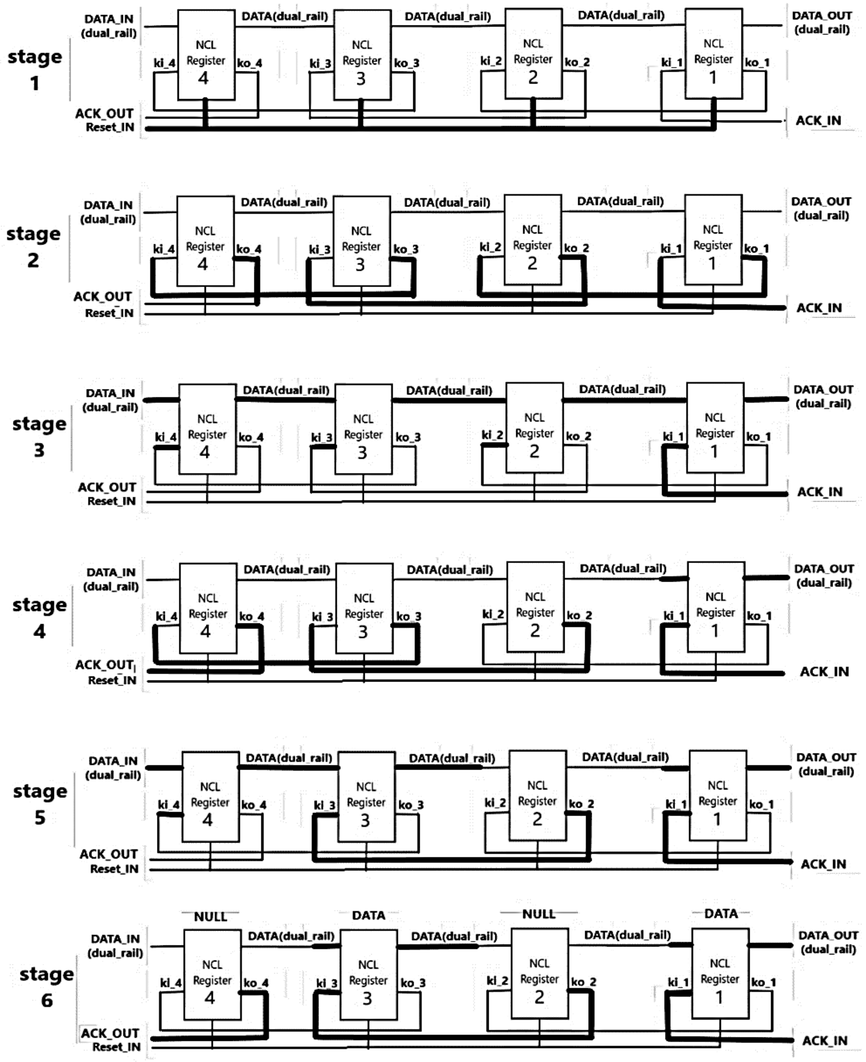
نقدم ضمن هذا القسم بنية جديدة لوحدة التخزين المؤقت تعتمد على فكرة أن سلسلة مسجلات الإزاحةالمصممة باستخدام المنطقNCL [18] تُظهر بشكل طبيعي سلوك "الأول في الدخول أول في الخروج" المعتمد من قبل وحدة التخزين FIFOالمسخدمة في موجه الشبكات ضمن الرقاقة وذلك بالاعتماد على أن حالة مسجل NCL يتم التحكم بها من خلال حالة الدخل وحالة الخرج للمسجل التالي والتي تنوب عن أشارات مصافحة وتتحكم بتدفق البيانات خلال سلسلة المسجلات. يبين الشكل(3)مخططاً توضيحياً لمراحل تدفق البيانات ضمن سلسلة المسجلات حيث تُمثل الخطوط العريضة "البيانات"، بينما تُمثل الخطوط الرفيعة "NULL" وهنا لابد من الإشارة إلى أن إشارة تأكيد الطلب بين المراحل تعبر عن معكوس حالة الخرج للمسجل التالي (خرج عاكس الإكمال).

المرحلة (1) هي مرحلة إعادة الضبط، ويتم إعادة ضبط جميع المسجلات، بحيث يصبح حالةالتدفق الأماميوتدفق تأكيد الطلب ack جميعها NULL.

في المرحلة (2)، تُلغى عملية إعادة الضبط، وتأخذ جميع إشارات تأكيد الطلب ackقيمة بيانات في آنٍ واحد بينما يبقى مسار التدفق الأماميفي حالة NULL.

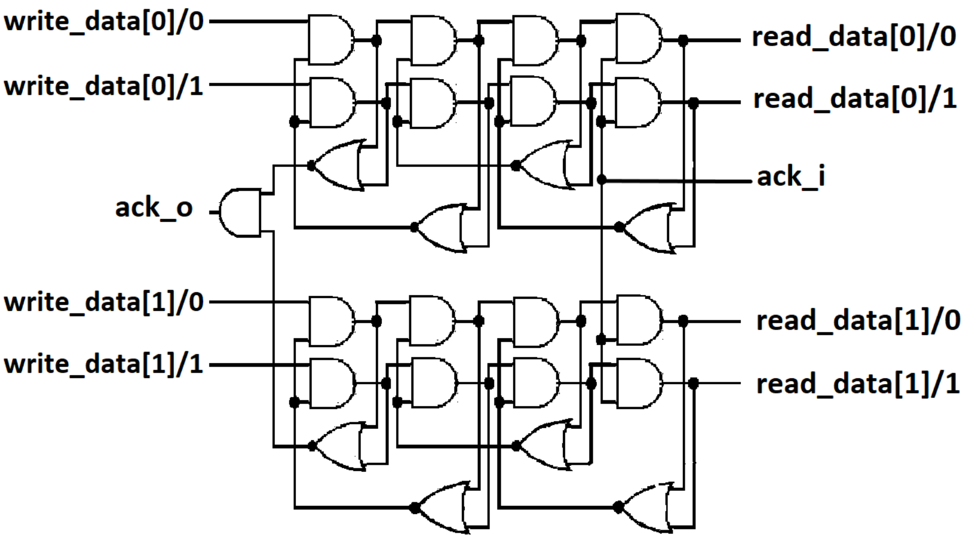
في المرحلة (3)، عندما يصبح على الدخل قيمة بيانات تصبح المسجلات شفافة، وتتدفق هذه القيمة عبر المسجلات حتى نهاية وحدة التخزين المؤقت. في هذه الأثناء، يتم الاحتفاظ بقيمة البيانات هذه من خلال مسارالدخل لإشارة تأكيد الطلب Ack_IN والذي يكون هو أيضاً بحالة بيانات.

في المراحل (4) و(5) و(6)، تتعاقب قيم NULL والبيانات على الدخلبشكل متتالي لتنتهي بقيمة NULL، ويتم تأكيد حالة وحدة التخزين المؤقت ممتلئة بحلول المرحلة (6). وتصبحالقيم المخزنةضمن الوحدة على التتالي DATA«NULL«DATA«NULL، وستظهر قيم بيانات الدخل الأولى DATAعلى الخرجمع استمرارتفعيل إشارة الدخلACK_INوعندما تتغير إلى حالة الـ NULL يتم التخلي عن قيمة البيانات هذه وتخزين قيمة NULL التالية لها.



الشكل (3): مخطط توضيحي لمراحل تدفق البيانات ضمن البنية المقترحة لوحدة التخزين المؤقت.

يوضح الشكل (4) بنية وحدة التخزين المؤقت باستخدام سلسلة المسجلات بترميز مزدوج الأسلاك وبعمق تخزين 2 بت، وتعمل هذه الدارة وفقاً لما تم شرحه سابقاً حيث بعد مرحلة إعادة الضبط، إذا كانت جميع إشارات تأكيد الطلب بيانات، فسوف تتدفق بيانات الدخل إلى نهاية وحدة التخزين المؤقت، وبالتالي يتم تكديس قيم البيانات وقيم NULL الموجودة على الدخل حتى يتم تبديل إشارة Ack_I.



الشكل(4): بنية وحدة التخزين المؤقت باستخدام سلسلة المسجلات ثنائية الأسلاك بعمق 2 بت وعرض 2 بت.

5. المحاكاة والنتائج:

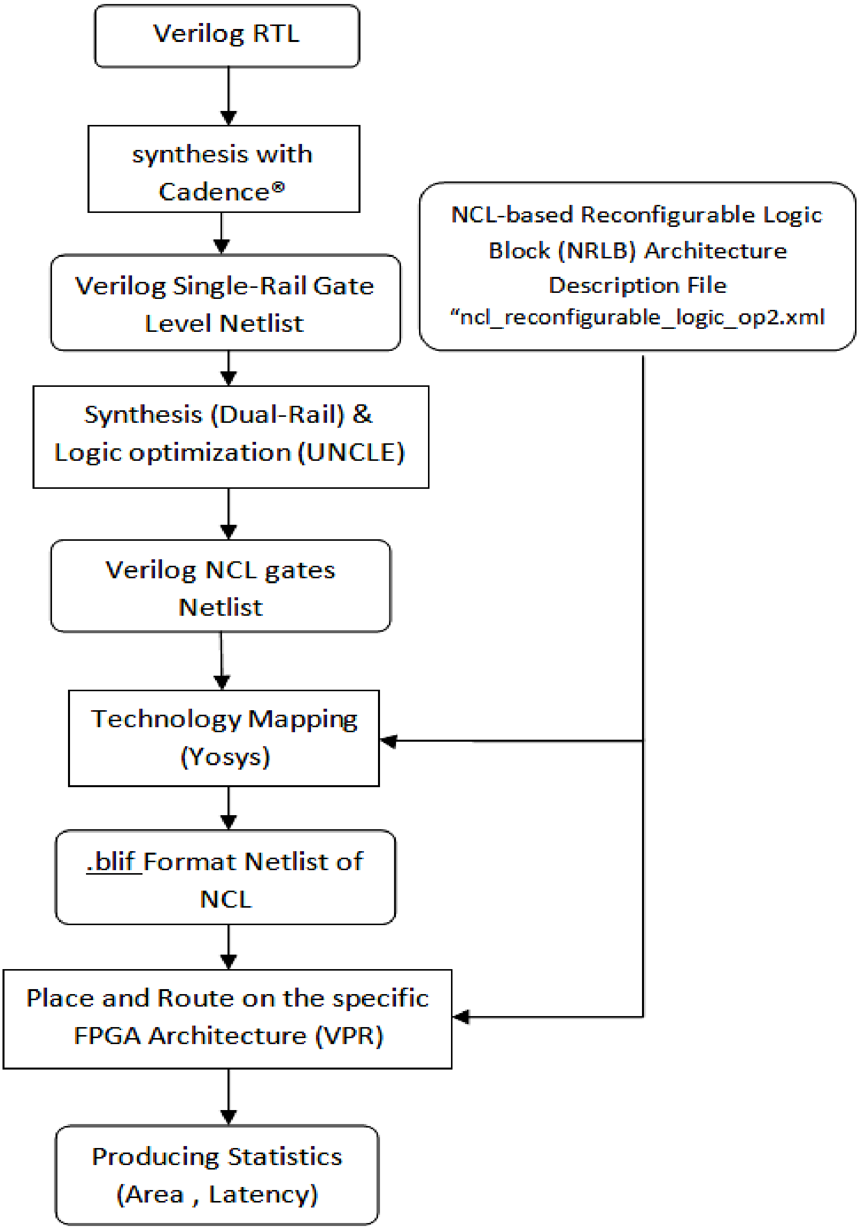
في هذا القسم نوضح نتائج المقارنة من حيث المساحة واستهلاك الموارد والأداء بين البنية المقترحةلوحدة التخزين المؤقت وبنية الـ FIFO وذلك من خلال الاستعانة بتدفق التصميم VTR(Verilog–to–Routing)[19] كونه يدعم التصاميم غير المتزامنة ويوفر إمكانية تحقيقها على بنى قابلة لإعادة البرمجة مضمنة أو يمكن للمصمم استخدام بنية قابلة لإعادة البرمجة خارجية بإضافة ملف المواصفات الخاص بها إلى تدفق التصميم كما هو الحال في هذا البحث.

1.5. تدفق التصميم والمحاكاة:

استناداً إلى تدفق تصميم CAD (Computer Aided-Design) المُخصّص لـ VTR المبين في الشكل(5) تم تصميم وحدة التخزين المؤقت FIFO وسلسلة المسجلات باستخدام Verilog RTL(Register Transfer Level) وتنفيذها على شكل شبكة منالبوابات المنطقية البوليانية أحادية الأسلاك باستخدام أداة المحاكاةCadence® في المرحلة الأولى. بعد ذلك، استُخدمت أداة UNCLE(Unified NCL Environment) [20]، لتنفيذ البنية غير المتزامنة بتوليف شبكة البوابات المنطقية أحادية الأسلاك من المرحلة السابقة إلى شبكة ثنائية الأسلاك باستخدام بوابات العتبة NCL، ثم تم استخدام الأداة Yosys[21] لتنفيذ خطوة تعيين شبكة بوابات NCL على الرقاقة باستخدام البنية القابلة لإعادة البرمجة القائمة على المنطق NCL(NCL based Reconfigurable Logic Block) [22] من خلال تضمين ملف المواصفات الخاص بها، وفي الخرج نحصل على ملف BLIF((Berkeley Logic Interchange Format (net file) لبنية الدارة على مستوى البوابة. في المرحلة ما قبل الأخيرة، تُنفذ الأداة VPR (Versatile Place and Route) [19] عملية تحقيق الدارة وتوصيلها على بنية NCL قابلة لإعادة البرمجة. وأخيراً، استُخرجت إحصائيات استهلاك الموارد والتوقيت بواسطة VPR لتحليلها لاحقاً ومقارنتها للحصول على النتائج [19].

استخدمت الكتلة المنطقية القابلة لإعادة البرمجة القائمة على المنطق NCL[22] كمكون للنظام القابل لإعادة البرمجة على الرقاقة، حيث تم تطويرها وتقييمها باستخدام Cadence® Virtuoso® Layout Suite مع تقنية أشباه الموصلات 45 FDSOI CMOS نانومتر. واستخدم محاكي Cadence® Spectre® AMS لمحاكاة بوابات NCL القابلة لإعادة البرمجة

واستخراج نتائج تأخير البوابة التي تم توظيفها لاحقاً ضمن ملف وصف البنية المطلوب لتدفق VTR.



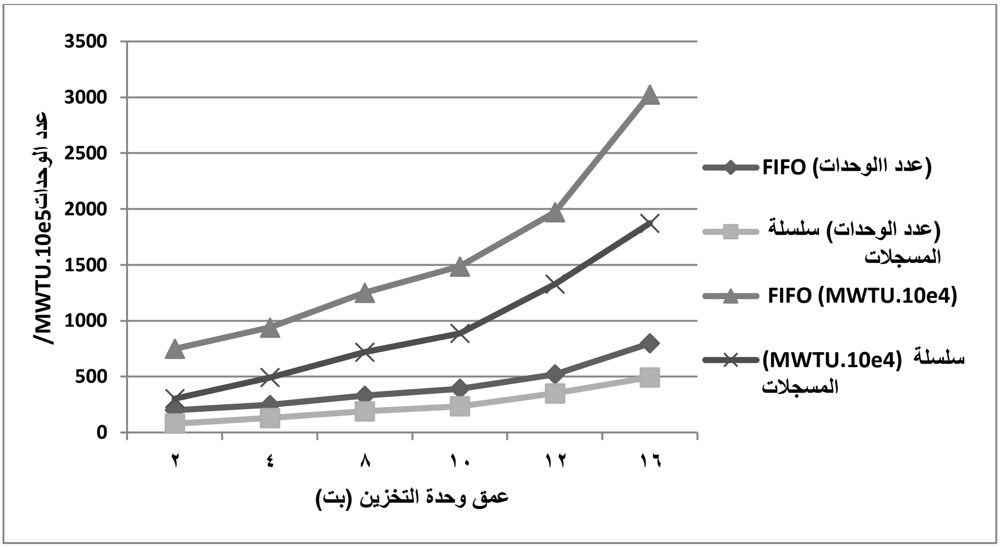
الشكل(5): تدفق التصميم VTR [19],[20].

من أجل عملية المقارنة استخدمناأربع بارامترات: (1) عدد وحدات NCL القابلة للبرمجة المستخدمة. (2)عدد الترانزستورات ذات العرض الأدنى MWTU (minimum width transistor unit) وهي الوحدة المستخدمة لحساب الموارد المستهلكة في أداة التصميم بمساعدة الحاسب الأكاديمية مفتوحة المصدر VPR(العرض الأدنى للترانزستور في تقنية أشباه الموصلات CMOS45nm يساوي 120 nm وبالتالي مساحة الترانزستور ذو العرض الأدنى × 29.952 10^{-3} um^2). (3)زمن التأخير (ps)، وهو الزمن اللازم لبت الدخل لعبور وحدة النخزين حتى يصبح على خرجها وذلك عندما تكون خالية .(4) زمن دورة وحدة التخزين المؤقت وهو الحد الأدنى للفاصل الزمني بين عنصري بيانات متجاورين عندما تعمل وحدة التخزين بأقصى سرعة ممكنة. وهو يمثل معدل قبول عناصر بيانات جديدة أو قراءتها منها. في حالة وحدة التخزين المتزامنة، يُحدد زمن الدورة بفترة الساعة، بينما في حالة وحدة التخزين غير المتزامنة يُحدد ببروتوكولات المصافحة الداخلية والتأخيرات داخل الدارة.

الجدول(2):نتائج مقارنة استهلاك الموارد.

البارامتر	السعة التخزينية = العرض × العمق لوحدة التخزين	FIFO	سلسلة المسجلات
عدد وحدات NCL القابلة للبرمجة المستخدمة	4×8	248	130
	8×8	330	190
	16×8	798	494
	128×8	8290	5174
MWTU×10^4	4×8	940	492
	8×8	1251	720
	16×8	3025	1873

19618	31433	128×8	



الشكل(6): مخطط مقارنة استهلاك الموارد من أجل قيم مختلفة لعمق وحدة التخزين.

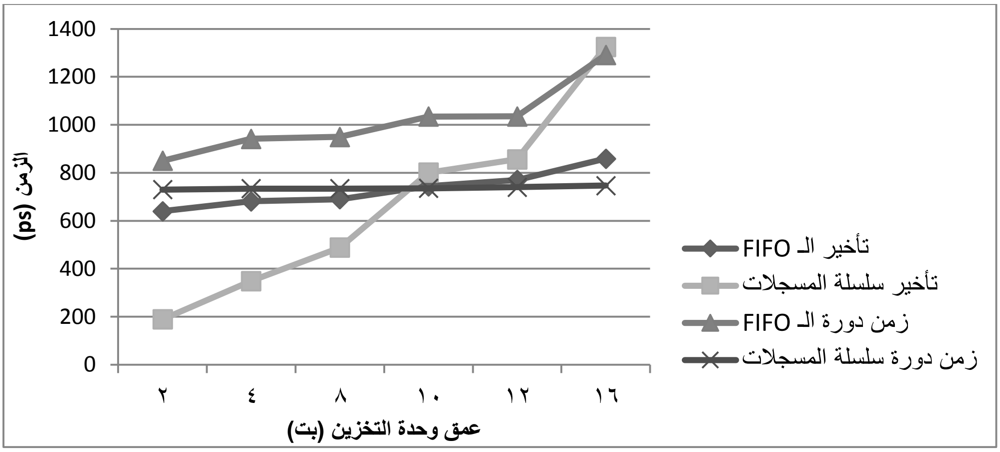
2.5. النتائج:

1.2.5. نتيجة مقارنة استهلاك الموارد وتحليلها:

يعرض الجدول (2) والشكل (6) نتائج مقارنة استهلاك الموارد بين سلسلة المسجلات والـFIFOوذلك بعرض وحدة تخزين ثابت يساوي 8 بتات حيث تظهر هذه النتائج أنه بغض النظر عن السعة التخزينية للوحدة فإن سلسلة المسجلات تستهلك موارد أقل بكثير مقارنةً بالـFIFOبنسبة وسطية 47 %، على الرغم من تخزينها لكلا القيميتن DATA وNULL، وأيضاً كما هو متوقع فإن عدد وحدات NCL القابلة للبرمجة المستخدمة يتناسب طردياًمع عدد الموارد المستهلكة.

الجدول(3):نتائج مقارنة الأداء.

البارامتر	السعة التخزينية = العرض × العمق لوحدة التخزين	FIFO	سلسلة المسجلات
التأخير الأمامي	4×8	681.4	348.7
	8×8	690.8	488.9
	16×8	858.6	1325.06
	128×8	1262.5	13930.6
زمن الدورة	4×8	941.4	733.7
	8×8	950.5	734.2
	16×8	1291.6	746.8
	128×8	2084.9	746.8



الشكل(7): مخطط مقارنة الأداء من أجل قيم مختلفة لعمق وحدة التخزين.

.2.2.5 نتائج مقارنة الأداء وتحليلها:

يوضح الجدول(3) والشكل(7) النتائج والمخططات البيانية لمقارنة أداء سلسلة المسجلات مع الـ FIFO. عندما يكون عمق التخزين صغير، يكون تأخيرسلسلة المسجلات أصغر من تأخير الـFIFO، ويزداد هذا التأخير مع زيادة عمق وحدة التخزينويصبح أكبر من تأخير الـFIFOبالنسبة للقيم التي تزيد عن 8، ولكن نلاحظ أيضاً أن التأخير بالنسبة لـFIFOsذات عمق التخزين الكبير (مثل العمق = 128) يجعلها غير مقبولة كوحدة تخزين مؤقت حيث يُعد تأخير الانتشار مهماً بشكل خاص في حالة حدوث إعادة كتابة المسجل بسرعة بعد قراءة قيمة المسجل الذي يتم التعامل معهفإذا كان تأخير وحدة التخزين المؤقت أكبر من وقت التنفيذ، فسيؤدي ذلك إلى توقف عمل الـ pipeline. أما بالنسبة لزمن دورة وحدة التخزين المؤقت فتبين النتائج الموضحة في الجدول (3) والمخططات البيانية في الشكل (7) أنزمن دورة سلسلة المسجلات أقل من زمن دورة FIFO وهذا مبرر إلى حد ما كون البنيتين غير متزامنتين وبالتالي فإن عدد الموارد المستخدمة ضمن الدارة يؤثر بشكل أساسي على زمن الدورة فكلما قَلَّ عدد الموارد ضمن الدارة أصبح زمن الدورة أقل وحسب النتائج السابقة فإن سلسلة المسجلات تستهلك موارد أقل وبالتالي فهي زمن دورتها أقل.

6. الخاتمة:

في هذا البحث صممنا بنية جديدة لوحدة التخزين المؤقت المستخدمة في موجه الشبكات ضمن الرقاقةالقائم على المنطقNCL، وتمت مقارنتها مع بنية وحدة التخزين المؤقتFIFO الأكثر استخداماً في هذا المجال ولكن تحليلنا اقتصر على المقارنة بين هاتين البنيتين حيث لا توجد أمثلة سابقة لتصميم وحدة التخزين المؤقت باستخدام المنطقNCL لموجه الشبكات ضمن الرقاقة للمقارنة معها. يمكن للمصمم من خلال نتائج هذه المقارنة اختيار بنية وحدة التخزين المؤقت المناسبة بناءً على متطلبات سعةوحدة التخزين والأداء المستهدف منها.

سوف نركز بالأعمال المستقبلية على تحسينأداء سلسلة المسجلات كوحدة تخزين مؤقت وخاصة بالنسبة لسعات التخزين الكبيرة ودراسة استهلاك الطاقة لهذه البنية.

7.المراجع :

[1]W. Dally and B. Towles, "Route packets, not wires: On-chip interconnection networks", in Proceedings of the 2001 Design Automation Conference, 2001, pp. 684–689.

[2]Tung Nguyen, Duy-Hieu Bui, Hai-Phong Phan, Trong-Trinh Dang,Xuan-Tu Tran, "High-Performance Adaption of ARM Processor intoNetwork-on-Chip Architectures," in Proceedings of the 26th IEEE System-on-Chip Conference (SOCC), pp. 222-227, September 2013.

[3]A. Lines, "Asynchronous interconnect for synchronous SoC design," IEEEMicro, vol. 24, no. 1, pp. 32–41, 2004.

[4] M. N. Horak et al. , "A low-overhead asynchronous interconnection networkfor GALS chip multiprocessors," IEEE Trans. Comput.-Aided Des. Integr. CircuitsSyst., vol. 30, no. 4, pp. 494–507, 2011.

[5] A. Ghiribaldi, D. Bertozzi, and S. M. Nowick, "A transition signaling bundleddata NoC switch architecture for cost-effective GALS multicore systems," in Proc.ACM/IEEE DATE, 2013, pp. 332–337.

[6] E. Kasapaki and J. Sparsø, "Argo: **A time-elastic time-division-multiplexednoC using asynchronous routers**," in Proc.20th IEEE Int. Symp. ASYNC, 2014,
pp. 45–52.

[7] K. M. Fant, "Logically determined design: clockless system design with NULL convention logic", John Wiley & Sons, 2005.

[8] P. A. Beerel, R. O. Ozdag, and M. Ferretti, "A Designer´s Guide toAsynchronous VLSI". Cambridge University Press, 2010.

[9] I. Miro Panades, A. Greiner, "Bi-synchronous FIFO for SynchronousCircuit Communication Well Suited for Network-On-Chip in GALS Architecture," in Proceedings of the ACM/IEEE InternationalSymposium on Networks-on-Chip, Princeton, 2007, pp. 83-92.

[10]T. -T. Nguyen and X. -T. Tran, "A novel asynchronous first-in-first-out adapting to multi-synchronous network-on-chips," 2014 International Conference on Advanced Technologies for Communications (ATC 2014), Hanoi, Vietnam, 2014, pp. 365-370, doi: 10.1109/ATC.2014.7043413.

[11] Abdel-hafeez Saleh & Gordon-Ross Ann, " Reconfigurable FIFO memory circuit for synchronous and asynchronous communication". International Journal of Circuit Theory and Applications, 2021, no. 49. pp 938-952. 10.1002/cta.2921.

[12] T. A. Rodolfo, M. L. L. Sartori, M. T. Moreira and N. L. V. Calazans, "Quasi Delay Insensitive FIFOs: Design Choices Exploration and Comparison," 2021 IEEE International Symposium on Circuits and Systems (ISCAS), Daegu, Korea, 2021, pp. 1-5, doi: 10.1109/ISCAS51556.2021.9401566.

[13]Menaka, M. et al. "Asynchronous Circular Buffers based on FIFO for Network on Chips." 2023 International Conference on Circuit Power and Computing Technologies (ICCPCT), 2023, 1356-1361.

[14] T. L. Thanh, L. T. Tri and T. Hoang, "The flow of converting from Synchronous design to Asynchronous Null Convention Logic design. Case study of S-box in AES encryption in secure router," 2020 International Conference on Advanced Computing and Applications (ACOMP), Quy Nhon, Vietnam, 2020, pp. 109-113.

[15]Ghiribaldi, A.; Bertozzi, D.; Nowick, S. M. "A Transition Signaling Bundled Data NoC Switch Architecture for Cost-Effective GALS Multicore Systems". In: Design, Automation & Test in EuropeConference & Exhibition (DATE´13), 2013, pp. 332-337.

[16] Xu, Ying. "Asynchronous FIFO Design Based on Verilog." Highlights in Science, Engineering and Technology, vol. 38, Mar. 2023, pp. 965–70

[17] Wang,Q, "A Study of Advances in Asynchronous FIFO Design", Applied and Computational Engineering, 2025,no121,pp14-23.

[18] M. M. Kim, K. M. Fant and P. Beckett, "Design of asynchronous RISC CPU register-file Write-Back queue," 2015 IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-SoC), Daejeon, Korea (South), 2015, pp. 31-36

[19] K.E. Murray et al., "VTR 8: High-performance CAD and Customizable FPGA Architecture Modelling", ACM Transactions on Reconfigurable Technology and Systems (TRETS), vol. 13, no. 9, p 1-55, 2020.

[20] R. B. Reese and R. A. TAYLOR. "Uncle (Unified NCL Environment)"[Online].Available:http://my.ece.msstate.edu/faculty/reese/uncle/UNCLE.pdf

[21] C. Wolf. "Yosys Open SYnthesis Suite". Available: http://www.clifford.at/yosys/

[22] J. Yu and P. Beckett, "A dual-rail LUT for reconfigurable logic using null convention logic". In Proceedings of the 24th edition of the great lakes symposium on VLSI (GLSVLSI'14). ACM, NY, USA, pp. 261-266, 2014.