# تحسين كفاءة الاستطاعة والمساحة لدارة جامع كامل مصممة باستخدام ترانزستورات الأثر الحقلي ذات الأنابيب النانوية الكربونية (CNTFETs).

**م. هلال احمد تكروني** جامعة حمص - طالب دكتوراه في قسم هندسة الالكترونيات والاتصالات

**الدكتور المشرف: مجد الدين العلي** جامعة حمص - أستاذ مساعد في قسم هندسة الالكترونيات والاتصالات

## الملخص

أدى تزايد الطلب في السنوات القليلة الماضية على الأجهزة المحمولة والأنظمة المضمّنة إلى الحاجة لتصميم دارة جامع كامل ((Full Adder (FA) منخفضة الاستطاعة وصغيرة المساحة دون المساس بأدائها وسرعة تشغيلها، إذ تُعد دارة الجامع الكامل هي الوحدة الأساسية في الدارات الإلكترونية عالية التكامل جداً ((Very Large-Scale Integration (VLSI). كما تُستخدم في العديد من التطبيقات المختلفة مثل معالجات الإشارات الرقمية (DSP) والمعالجات الدقيقة ووحدات الحساب والمنطق (ALU) ووحدات الفاصلة العائمة (FPU).

تم في هذا البحث اقتراح دارة جامع كامل هجينة (H-FA) تعتمد على تقنيتي ( Pass Transistor (Logic (PTL) و((Gate Diffusion Input (GDI)، وتتكون من 12 ترانزستوراً باستخدام ترانزستورات الأثر الحقلي ذات الأنابيب النانوية الكربونية ((Carbon Nanotube (CNTFET Field-Effect Transistor). تم مقارنة الدارة المقترحة مع عدة بنى مختلفة لدارة الجامع الكامل، وهي دارة الجامع الكامل التقليدي 28T-FA و17T-FA و16T-FA و14T-FA و12T-FA من حيث استهلاك الاستطاعة وزمن التأخير ومضروب التأخير بالاستطاعة (PDP) وعدد الترانزستورات.

تم تنفيذ عملية المحاكاة باستخدام برنامج Cadence Virtuoso 6.1.7 عند تقنية تصنيع CNTFET 32 nm، وأظهرت نتائج المحاكاة أن الدارة المقترحة هي الأقل استهلاكاً للاستطاعة بين الدارات المدروسة بقيمة 4.213 nW، والأقل من حيث مضروب التأخير بالاستطاعة بقيمة 43.899 zJ، بالإضافة إلى كونها الأصغر مساحةً بالتساوي مع دارة 12T-FA نظراً لاستخدام كلا الدارتين 12 ترانزستوراً فقط.

**الكلمات المفتاحية:** جامع كامل (Full Adder)، منطق ترانزستورات التمرير (PTL)، تقنية (GDI)، ترانزستورات (CNTFET)، مضروب التأخير بالاستطاعة (PDP).

# Power and Area Efficiency Enhancement of a Full Adder Designed Using Carbon Nanotube Field–Effect Transistors (CNTFETs).

**Abstract**

The increasing demand in recent years for portable devices and embedded systems has created a need for designing low-power and area-efficient full adder circuits without compromising performance or operating speed. The full adder is considered a fundamental building block in very-large-scale integration (VLSI) electronic circuits and is widely used in various applications, such as digital signal processors (DSPs), microprocessors, arithmetic and logic units (ALUs), and floating-point units (FPUs).

In this research, a hybrid full adder (H-FA) circuit is proposed based on Pass Transistor Logic (PTL) and Gate Diffusion Input (GDI) techniques. The proposed design consists of 12 transistors implemented using carbon nanotube field-effect transistors (CNTFETs). The performance of the proposed circuit was compared with several existing full adder architectures, including the conventional full adder circuit 28T-FA, 17T-

FA, 16T-FA, 14T-FA, and 12T-FA, in terms of power consumption, propagation delay, Power-Delay Product (PDP), and transistor count. Simulations were carried out using Cadence Virtuoso 6.1.7 at the 32 nm CNTFET technology. Simulation results demonstrate that the proposed circuit achieves the lowest power consumption among the studied designs, with a value of 4.213 nW, and the minimum power–delay product of 43.899 zJ. In addition, the proposed design exhibits the smallest area, equal to that of the 12T-FA architecture, as both designs utilize only 12 transistors.

**Keywords:** Full Adder (FA), Pass Transistor Logic (PTL), Gate Diffusion Input (GDI) Technique, Carbon Nanotube Field-Effect Transistors (CNTFETs), Power-Delay Product (PDP).

## 1. المقدمة:

تتطلب العديد من التطبيقات المهمة مثل معالج الإشارة الرقمية DSP ووحدة معالجة الرسوميات GPU استخدام دارات متكاملة قادرة على تحقيق استهلاك استطاعة منخفض وسرعة معالجة عالية وكثافة شريحة مرتفعة، وهو ما كان يتم تحقيقه في البداية عن طريق تصغير أبعاد الدارات وفقاً لقانون مور، وذلك عن طريق تصغير حجم الترانزستور[1]. حيث توقع الدكتور جوردن مور عام 1965 زيادة عدد الترانزستورات المتكاملة المستخدمة في الدارات المتكاملة وأنها ستتضاعف كل عام [2]. ولقد برزت تقنية CMOS على مدى عقود كتقنية رئيسية لتحقيق دارات إلكترونية عالية التكامل جداً (VLSI) تتميز بالكفاءة من حيث الطاقة والكثافة العالية. إلا أنه أدى التقليص المستمر لحجم ترانزستورات (MOSFET) إلى ظهور مشاكل تأثير القناة القصيرة وانخفاض قدرة التحكم في البوابة وزيادة تيارات التسرب، وهذا ما دفع المصممين إلى البحث عن بدائل لترانزستورات

MOSFET التقليدية [3]، ومن أبرز البدائل المقترحة هي ترانزستورات ((CNTFET) Carbon Nanotube Field-Effect Transistor) القائمة على استخدام انابيب الكربون النانوية بسبب خصائصها الكهربائية الفائقة [4]، حيث قد أوصت خارطة الطريق الدولية للتكنولوجيا في أنصاف النواقل (ITRS) باستخدام ترانزستورات CNTFET كتقنية واعدة لاستبدال ترانزستورات MOSFET، وذلك نظراً للمزايا التي تتمتع بها ترانزستورات CNTFET من امتلاك كثافة تيار أعلى وحركة ناقلات أسرع وسعة طفيلية أقل، كما تتميز ترانزستورات CNTFET بجهود تشغيل أقل وطاقة تبديل منخفضة ونسبة (Ion/Ioff) أعلى مقارنة بترانزستورات MOSFET [5]، بالإضافة إلى أن التشابه بين (CNTFET) و(MOSFET) في البنية ومبدأ التشغيل ساعد على تنفيذ تصاميم CMOS الموجودة باستخدام تقنية (CNTFET) بسهولة [2].

شهدت السنوات الأخيرة تزايداً في الطلب على الأجهزة المحمولة بما في ذلك الهواتف الذكية والأجهزة اللوحية وأجهزة الكمبيوتر المحمولة والحساسات، وهذه التجهيزات التي تعمل بالاعتماد على البطاريات دفعت المصممين لاكتشاف العديد من التصميمات الجديدة للدارات الإلكترونية منخفضة الاستطاعة [5]. وتعتبر دارة الجامع الكامل من أهم هذه الدارات التي تم اقتراح العديد من البنى المختلفة لها وذلك نتيجة استخدامها في العديد من الأنظمة الرقمية الحديثة، حيث تعتبر دارة الجامع الكامل جوهر العديد من العمليات الحسابية مثل الجمع والطرح والضرب والقسمة، وتستخدم أيضاً في توليد العناوين. ولذلك تؤثر الكفاءة الطاقية لدارة الجامع الكامل على الكفاءة العامة للأجهزة المحمولة [5]. من البنى التي تم اقتراحها للحصول على دارة جامع كامل منخفضة الاستطاعة دارة 15T-FA [6]، التي تستخدم بنية XNOR-XOR جديدة منخفضة الاستطاعة وتعتمد على تقليل عدد الترانزستورات التي تعمل في وقت واحد بين مساري الدخل والخرج، مما يؤدي إلى انخفاض ملحوظ في استهلاك الاستطاعة. كما تم اقتراح دارة PTL-FA والتي تتميز باستهلاك استطاعة منخفض نتيجة استخدام تقنية ((Pass Transistor Logic (PTL) في بنيتها، مما يقلل من عدد الترانزستورات المستخدمة في تصميم الدارة [7]. وتم اقتراح دارة 17T-FA القائمة على استخدام ترانزستورات CNTFET والتي تعتمد في بنيتها على استخدام بوابتي

XOR تتميزان بتوفير جهد خرج متأرجح بشكل كامل في الخرج، وعلى دارة ناخب (MUX) تعتمد على استخدام تقنية GDI مما يساعد على تحقيق استهلاك استطاعة منخفض في الدارة [8].

أما بالنسبة للتطبيقات عالية السرعة وصغيرة المساحة، فقد تم اقتراح العديد من بنى الجامع الكامل والتي تعتمد على استخدام عدد منخفض من الترانزستورات لزيادة السرعة وتقليل المساحة، مثل دارة الجامع الكامل 14T-FA المكونة من 14 ترانزستوراً في بنيتها والتي تعتمد على استخدام كل من تقنيتي PTL و (Transmission gate (TG)) للحصول على إشارتي الخرج [1]، كما تم اقتراح دارة GDI-FA [9] المكونة من 10 ترانزستورات والتي تعتمد على استخدام تقنية (Gate Diffusion Input (GDI))، والتي تساهم في زيادة السرعة وتقليل المساحة عن طريق تقليل عدد الترانزستورات المستخدمة في تصميم الدارات والبوابات المنطقية. وتم اقتراح دارة 12T-FA [10] المكونة من 12 ترانزستوراً فقط، والتي تعتمد في تصميمها على بنية XNOR جديدة مكونة من 6 ترانزستورات، حيث يساهم هذا العدد المنخفض من الترانزستورات في تقليل مساحة الدارة وانخفاض تأخير انتشار إشارات الخرج.

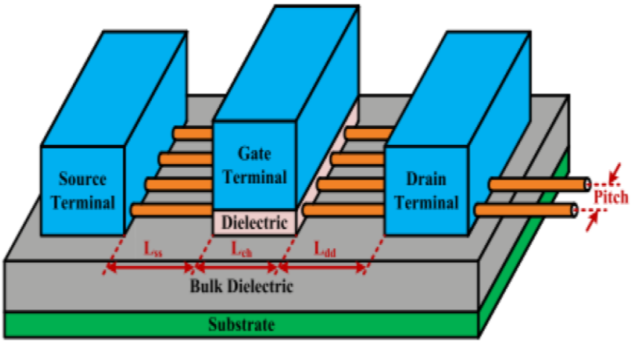
كما أنه لا بد من الإشارة إلى أهمية الحصول على إشارة خرج متأرجحة بشكل كامل في خرج دارة الجامع الكامل، حيث إن انخفاض في تأرجح جهد الخرج قد يتسبب في بطء عملية التبديل في حالة العمليات المتتالية، وقد يؤدي إلى خلل في عمل الدارة عند جهود التغذية المنخفضة [11]. وبناءً عليه تم اقتراح العديد من بنى الجامع الكامل التي اهتمت بالحصول على جهد خرج متأرجح بشكل كامل مثل دارة TG-FA [12] والتي تعتمد على استخدام تقنية بوابة الإرسال TG، وهي عبارة عن وصل ترانزستورين NMOS وPMOS على التفرع يعملان معاً لتجنب مشكلة هبوط الجهد وتمرير الإشارة ("0" منطقي و "1" منطقي) بشكل قوي. كما تم اقتراح دارة 18T-FA [13] التي تعتمد على استخدام بنية هجينة قائمة على استخدام تقنية GDI وتقنية استعادة مستوى الإشارة للتغلب على مشكلة هبوط الجهد في الخرج والحصول على جهد خرج كامل التأرجح.

تم في العديد من الأعمال السابقة استخدام تقنيات عديدة لتحسين أداء دارات الجامع الكامل، مثل GDI وTG وPTL وغيرها. وتم في هذا البحث دراسة ومحاكاة عدة بنى لدارات الجامع الكامل، واقتراح دارة جامع كامل هجينة H-FA باستخدام ترانزستورات CNTFET والتي تجمع بين عدة تقنيات لتقليل استهلاك الاستطاعة والمساحة والمحافظة على زمن تأخير جيد لإشارتي الخرج. وأُستخدم برنامج Cadence Virtuoso 6.1.7 لمحاكاة هذه الدوائر بتقنية CNTFET 32 nm لفهم ومقارنة خصائصها المختلفة.

## 2. ترانزستورات الأثر الحقلي ذات الأنابيب النانوية الكربونية (CNTFET):

تعتمد ترانزستورات CNTFET على استخدام أنابيب الكربون النانوية (CNTs) كقناة بين المنبع والمصرف بدلاً من السيليكون المشاب بدرجة كبيرة في ترانزستورات MOSFET كما هو مبيّن في الشكل (1)، حيث إن أنبوب الكربون النانوي (CNT) هو عبارة عن هيكل أسطواني صغير مصنوع من الغرافيت، وتتميز أنابيب الكربون النانوية بالقدرة الفائقة على الناقلية الكهربائية والحركية العالية لحوامل الشحنة (الإلكترونات والثقوب) والقدرة على تحمل التيارات العالية، ويمكن تصنيف أنابيب الكربون النانوية إلى [14]:

- أنابيب الكربون النانوية أحادية الجدار (Single-Walled Carbon Nanotubes (SWCNTs)).
- أنابيب الكربون النانوية متعددة الجدران (Multi-Walled Carbon Nanotubes (MWCNTs)).




**الشكل (1): ترانزستور الأثر الحقلي ذو الأنابيب النانوية الكربونية [15]**

يمكن أن يعمل أنبوب الكربون النانوي أحادي الجدار (SWCNT) كناقل أو كنصف ناقل، ويتم تحديد ذلك عن طريق متجه الكيرالية (chirality vector) والذي يُعبّر عنه بالثابتين (n,m)، حيث إنه في حال كان n-m=3k (حيث إن k عدد صحيح)، فإن أنبوب الكربون النانوي سيعمل كناقل، وفي حال كان $n-m\neq 3k$ سيعمل أنبوب الكربون النانوي كنصف ناقل ويكون ملائماً للاستخدام كقناة في ترانزستورات الأثر الحقلي (FET) [16].

يتم تحديد جهد العتبة في ترانزستورات الأثر الحقلي ذات الأنابيب النانوية الكربونية من خلال المعادلة (1) [1]:

$$V_{th} \cong \frac{E_g}{2\times e} \cong \frac{0.436}{D_{CNT}(nm)} \qquad (1)$$

حيث إن:

$E_g$ هي طاقة فجوة النطاق.

e  شحنة الإلكترون.

$D_{CNT}$ قطر الأنبوب الكربوني النانوي.

كما يمكن حساب قطر الأنبوب الكربوني النانوي $D_{CNT}$ من خلال المعادلة (2) [1]:

$$D_{CNT} = 0.0783\sqrt{n^2 + m^2 + nm} \qquad (2)$$

## 3. هدف البحث:

يهدف هذا البحث إلى اقتراح دارة جامع كامل هجينة (H-FA) باستخدام ترانزستورات CNTFET، تتميز بمساحة صغيرة واستهلاك استطاعة منخفض وقيمة PDP منخفضة. ومن ثم مقارنة الدارة المقترحة مع بنى مختلفة لدارة الجامع الكامل من حيث استهلاك الاستطاعة والتأخير ومضروب التأخير بالاستطاعة (PDP) وعدد الترانزستورات المستخدمة في الدارة.

## 4. مواد وطرق البحث:

اعتمد البحث على طريقة البحث التجريبية، وتمت المحاكاة باستخدام برنامج Cadence Virtuoso 6.1.7 الذي يعمل على نظام Linux عند التقنية CNTFET 32 nm لإجراء عمليات المحاكاة لدارات الجامع الكامل المختلفة. وتمت عملية المحاكاة عند جهد تغذية $V_{dd}$=0.9 V ودرجة حرارة 27 C°.

تشمل الدراسة محاكاة ومقارنة عدة دارات للجامع الكامل مع الدارة المقترحة H-FA، وهي دارة الجامع الكامل التقليدي 28T-FA و17T-FA و16T-FA و14T-FA و12T-FA، وتمت المقارنة ما بين الدارات المدروسة من حيث استهلاك الاستطاعة والتأخير ومضروب التأخير بالاستطاعة (PDP) وعدد الترانزستورات المستخدمة في الدارة. حيث يعتمد تحليل أداء دارة الجامع الكامل على إظهار منحنيات الدخل والخرج، وحساب البارامترات الأساسية المذكور سابقاً، وهي:

- **الاستطاعة:**

تنقسم مصادر تبدد الاستطاعة بشكل رئيسي إلى قسمين، وهما استهلاك الاستطاعة الستاتيكية واستهلاك الاستطاعة الديناميكية. ينتج استهلاك الاستطاعة الستاتيكية عن تيارات التسرب وأهمها

تيار تسرب دون العتبة، في حين ينتج استهلاك الاستطاعة الديناميكية عن الشحن والتفريغ أثناء نشاط التبديل للترانزستورات.

يمكن حساب استهلاك الاستطاعة المتوسطة في الدارة من خلال المعادلة (3) [17]:

$$P_{avgpower} = P_{dynamic\,power} + P_{static\,power} \qquad (3)$$

- **التأخير:**

يحدد زمن تأخير الدارة بأنه أسوأ حالة تأخير مقاسة لجميع الانتقالات في الخرج، حيث يتم قياس زمن التأخير لكل انتقال في الخرج بقياس الفترة الزمنية بين لحظة تجاوز إشارة الدخل 50% من قيمتها العظمى إلى لحظة تجاوز إشارة الخرج 50% من قيمتها العظمى [18].

- **مضروب التأخير بالاستطاعة (PDP):**

مضروب التأخير بالاستطاعة هو مقياس يحدد فعالية المقايضة ما بين التأخير واستهلاك الاستطاعة [12]، ويحسب من خلال ضرب استهلاك الاستطاعة المتوسطة في الدارة بأسوأ حالة تأخير كما هو مبيّن في المعادلة (4) [19]:

$$PDP = Power\,Consumption_{average} \times Delay_{worst_case} \qquad (4)$$

- **عدد الترانزستورات:** يحدد عدد الترانزستورات التي تم استخدامها في بنية الدارة، وهو عامل مؤثر بشكل مباشر على المساحة الكلية للدارة.

## 5. الجامع الكامل:

الجامع الكامل هو عبارة عن دارة تقوم بعملية جمع ثلاثة بتات على الدخل، حيث تحتوي على ثلاثة مداخل يرمز لها بـ A وB وCin، وعلى مخرجين هما المجموع والحمل ويرمز لهما بـ S وC. ويتم التعبير عن خرج دارة الجامع الكامل بالمعادلات (5) و (6) [20]:

$$S = A \oplus B \oplus C \qquad (5)$$

$$C = A.B + Cin.(A \oplus B) \qquad (6)$$

ويعبّر عن منطق دارة الجامع الكامل بجدول الحقيقة المبيّن في الجدول (1).

**الجدول (1): جدول الحقيقة لدارة الجامع الكامل [20].**

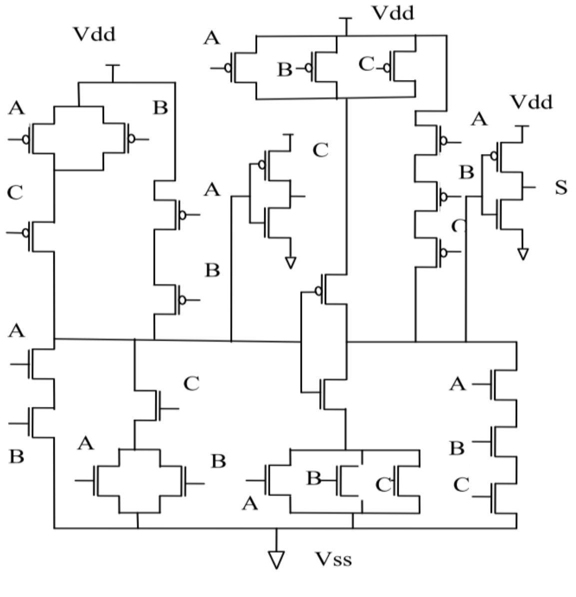
| Input | | | Output | |
|---|---|---|---|---|
| **A** | **B** | **Cin** | **S (Sum)** | **C (Carry)** |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

ونظراً للأهمية الكبيرة لدارة الجامع الكامل في التطبيقات المتنوعة وتأثيرها الكبير على أداء الأنظمة الرقمية، يستمر العمل بشكل دائم على اقتراح بنى جديدة لتحسين بارامترات معينة وفقاً لمتطلبات هذه التطبيقات.

تم في هذا البحث دراسة وتحليل أداء عدة بنى مختلفة لدارة الجامع الكامل وهي:

## 1.5 دارة الجامع الكامل التقليدي القائم على CMOS (28T-FA):

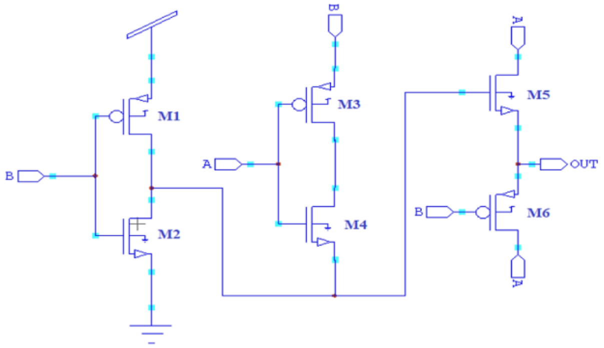
يتم تصميم دارة الجامع الكامل التقليدي 28T-FA باستخدام مزيج من ترانزستورات PMOS وNMOS وعددها 28 ترانزستوراً كما هو مبيّن في الشكل (2)، حيث توفر ترانزستورات PMOS في شبكة الرفع "1" منطقي قوي، وتوفر ترانزستورات NMOS في شبكة الخفض "0" منطقي قوي، مما يوفر جهد خرج متأرجح بشكل كامل وقدرة قيادة جيدة. من عيوب هذا التصميم استخدام عدد كبير من الترانزستورات، مما يؤدي إلى استهلاك استطاعة عالٍ وزيادة التأخير وسعة الدخل [17].



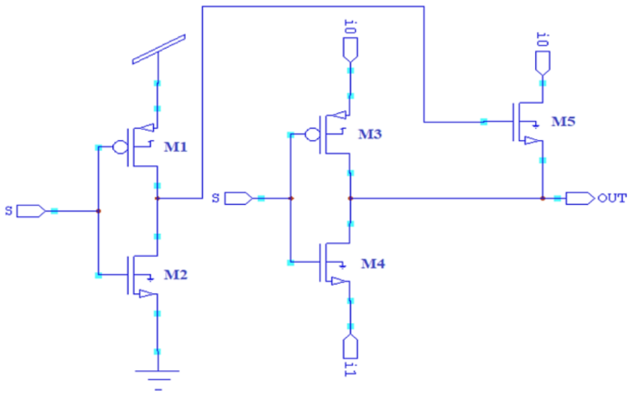

**الشكل (2): دارة الجامع الكامل التقليدي القائم على CMOS [20].**

## 2.5 دارة الجامع الكامل 17T (17T-FA):

تم تصميم دارة الجامع الكامل 17T-FA المكونة من 17 ترانزستوراً باستخدام ترانزستورات CNTFET. تتضمن هذه البنية بوابة XOR مكونة من 6 ترانزستورات، وتعتمد على استخدام تقنية GDI مع إضافة ترانزستورات للمحافظة على جهد خرج متأرجح بشكل كامل، كما هو مبيّن في الشكل (3). وتحتوي بنية الجامع الكامل على ناخب 1×2 مكون من 5 ترانزستورات، ويعتمد أيضاً على استخدام تقنية GDI، كما هو مبيّن الشكل (4) [8].

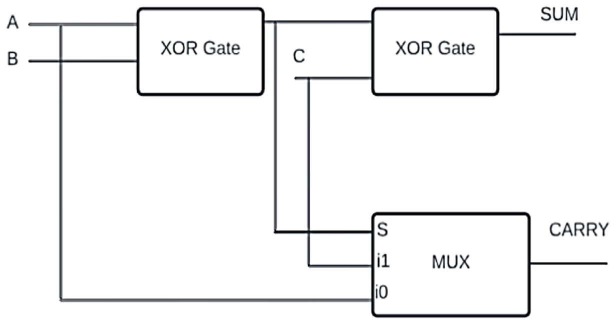



**الشكل (3): بوابة XOR تتميز بجهد خرج كامل التأرجح [8].**




**الشكل (4): ناخب 1×2 [8].**

يبيّن الشكل (5) المخطط المنطقي لدارة الجامع الكامل 17T-FA، التي تتكون من بوابتين XOR وناخب 1×2، وقد أظهرت دارة الجامع الكامل 17T-FA انخفاضاً في استهلاك الاستطاعة والتأخير بسبب استخدام تقنية GDI وترانزستورات CNTFET، كما تتميز هذه الدارة بجهد خرج متأرجح بشكل كامل بسبب الترانزستورات الإضافية التي تم استخدامها للحفاظ على مستوى إشارة الخرج [8].

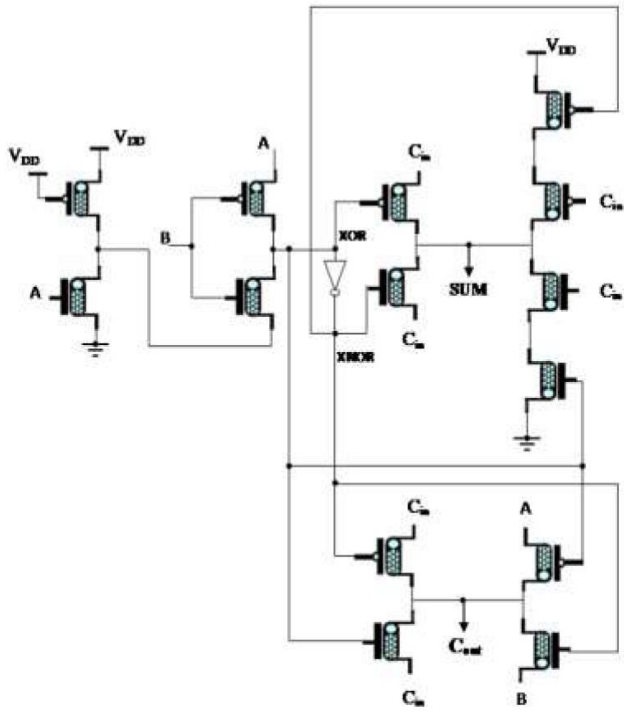



**الشكل (5): المخطط المنطقي لدارة الجامع الكامل 17T (17T-FA) [8].**

## 3.5 دارة الجامع الكامل 16T (16T-FA):

تتكون دارة الجامع الكامل 16T-FA من 16 ترانزستوراً كما هو مبيّن في الشكل (6)، وهي تعتمد على الجمع بين كل من تقنية منطق ترانزستورات التمرير (PTL) وتقنية بوابة الإرسال (TG)، مما يساعد على انخفاض كل من استهلاك الاستطاعة والتأخير ومضروب التأخير بالاستطاعة (PDP) في الدارة [21].

تعتمد هذه الدارة على استخدام بوابة XOR مكونة من 4 ترانزستورات، ومن ثم استخدام عاكس للحصول على إشارة XNOR من خرج البوابة XOR. وتتميز هذه الدارة بالحصول على جهد خرج متأرجح بشكل كامل لكلتا إشارتي الخرج، نظراً لاستخدام تقنية بوابة الإرسال (TG) التي تعالج مشكلة هبوط الجهد الناتج عن جهد العتبة [21].




**الشكل (6): دارة الجامع الكامل 16T (16T-FA) القائمة على استخدام تقنيتي PTL وTG [21].**

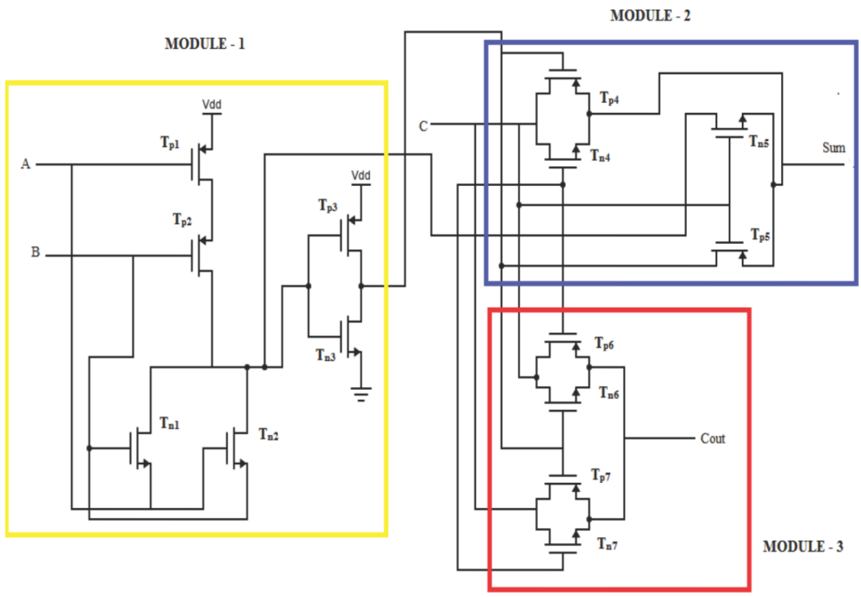
## 4.5 دارة الجامع الكامل 14T (14T-FA):

تعتمد دارة الجامع الكامل 14T-FA على استخدام دارة XOR-XNOR منخفضة الاستطاعة. حيث تتمثل ميزة دارة XOR-XNOR المستخدمة في أنها تقلل من تعقيد الدارة وعدد العقد الداخلية، وذلك لأن تصميمها يتطلب 6 ترانزستورات، وهو نصف عدد الترانزستورات التي تتطلبه دارة CMOS XOR التقليدية، مما يؤدي بدوره إلى تقليل استهلاك الاستطاعة [22].

كما تعتمد دارة الجامع الكامل 14T-FA على استخدام مزيج ما بين تقنيتي TG وPTL، حيث تُستخدم التقنيتان TG وPTL للحصول على إشارة المجموع (SUM) متأرجحة بشكل كامل، وذلك باستخدام 4 ترانزستورات فقط. في حين تُستخدم تقنية TG للحصول على إشارة الحمل

(CARRY)، وذلك لتجنب مشكلة هبوط الجهد والحصول على إشارة خرج متأرجحة بشكل كامل [22].

يهدف هذا التصميم إلى تقليل المساحة التي تشغلها الدارة عن طريق استخدام 14 ترانزستوراً فقط في تصميمها، كما هو مبيّن في الشكل (7). كما تتميز دارة الجامع الكامل 14T-FA بأنها تستهلك استطاعة منخفضة وذات جهد خرج متأرجح بشكل كامل لكلتا إشارتي المجموع (SUM) والحمل (CARRY) [22].



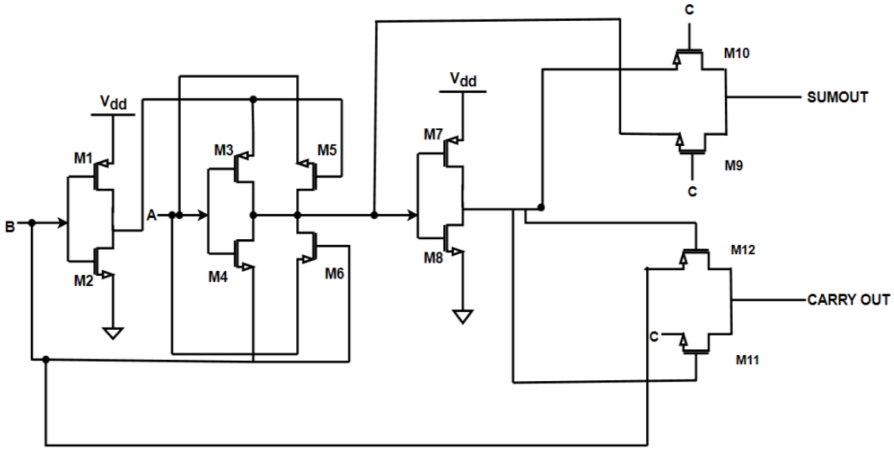

**الشكل (7): دارة الجامع الكامل 14T (14T-FA) القائمة على استخدام تقنيتي PTL وTG [22].**

## 5.5 دارة الجامع الكامل 12T (12T-FA):

يتم تصميم دارة الجامع الكامل 12T-FA باستخدام 12 ترانزستوراً، كما هو مبيّن في الشكل (8). حيث تعتمد بنية الجامع الكامل 12T-FA على استخدام بنية XNOR جديدة منخفضة

الاستطاعة، وتتميز بجهد خرج كامل التأرجح بسبب استخدام ترانزستورات إضافية للمحافظة على مستوى إشارة الخرج [10].

وللحصول على إشارتي الخرج SUM وCARRY يتم استخدام ناخبين 2×1، إلا أن جهد الخرج يعاني من عدم التأرجح بشكل كامل، وذلك لأن ترانزستور NMOS يُمرر قيمة 0 منطقي بشكل قوي وقيمة 1 منطقي بشكل ضعيف، بينما يُظهر ترانزستور PMOS سلوكاً معاكساً، ويُمرر قيمة 0 منطقي بشكل ضعيف وقيمة 1 منطقي بشكل قوي. تتميز دارة الجامع الكامل 12T-FA بالسرعة العالية والفعالية من حيث مضروب التأخير بالاستطاعة (PDP)، كما أنها تتميز بمساحتها الصغيرة وذلك لاستخدام عدد منخفض من الترانزستورات في بنيتها [10].




**الشكل (8): دارة الجامع الكامل 12T (12T-FA) [10].**

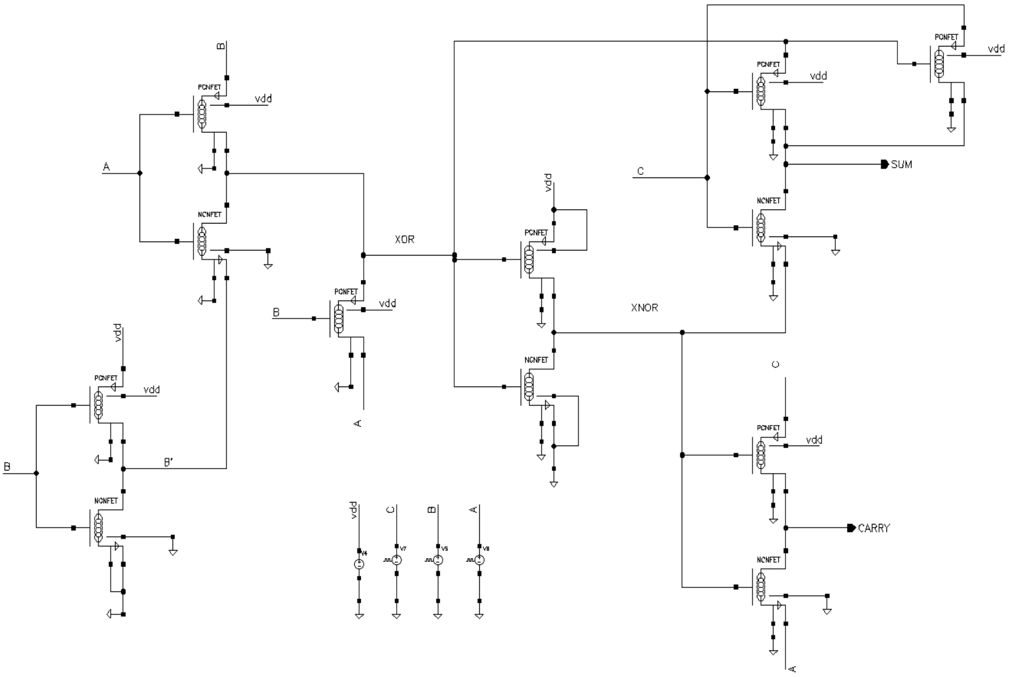
## 6.5 دارة الجامع الكامل الهجينة المقترحة (H-FA):

تم تصميم دارة الجامع الكامل الهجينة المقترحة H-FA باستخدام 12 ترانزستوراً من ترانزستورات الأثر الحقلي ذات الأنابيب النانوية الكربونية CNTFET، وبالاعتماد على المزج ما بين تقنيتي PTL وGDI كما هو مبيّن في الشكل (9). حيث تتكون دارة XOR من 5 ترانزستورات وتعتمد

في بنيتها على تقنيتي PTL وGDI، وذلك لتنفيذ البوابة المنطقية XOR بأقل عدد ممكن من الترانزستورات. ولذلك تتميز دارة XOR المستخدمة بأنها ذات استهلاك استطاعة منخفض ومساحة صغيرة.

تم الحصول على إشارة المجموع (SUM) باستخدام تقنية GDI بالإضافة إلى استخدام ترانزستور P-CNTFET إضافي للحصول على مستوى "1" منطقي قوي في الخرج، في حين تم استخدام تقنية GDI للحصول على إشارة الحمل (CARRY).

تتميز دارة الجامع الكامل المقترحة H-FA بأنها ذات استهلاك استطاعة منخفض ومساحة صغيرة، وذلك بسبب تقليل عدد الترانزستورات المستخدمة في بنية الدارة، مع المحافظة على أداء زمني جيد من حيث تأخير الانتشار. كما تتمتع الدارة المقترحة بجهد خرج كامل التأرجح أو قريب بشكل كبير من التأرجح الكامل، وذلك بسبب خصائص ترانزستورات CNTFET بنوعيها (P وN) التي تستطيع ان تمرر "0" و"1" منطقي بشكل ممتاز على عكس ترانزستورات MOSFET [23].

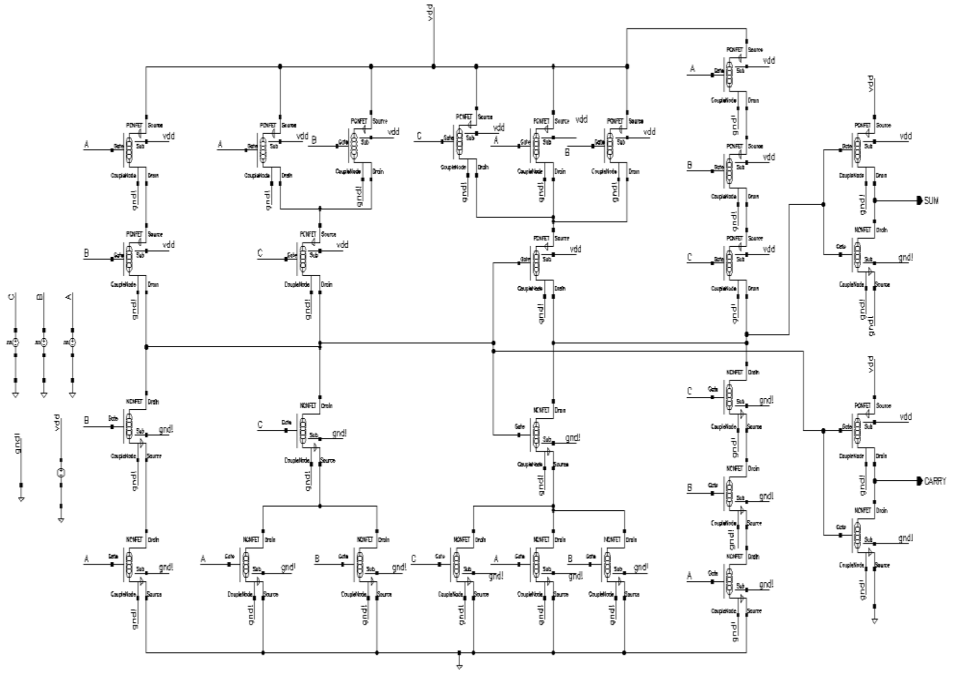



الشكل (9): دارة الجامع الكامل الهجينة المقترحة H-FA.

## 6. نتائج المحاكاة:

### 1.6 دارة الجامع الكامل التقليدي (28T-FA):

تمت محاكاة دارة الجامع الكامل التقليدي 28T-FA بواسطة برنامج Cadence Virtuoso 6.1.7 وباستخدام تقنية CNTFET 32 nm كما هو مبيّن في الشكل (10)، وذلك عند جهد تغذية $V_{dd}$=0.9 V ودرجة حرارة (Celsius) □ T=27، وعند جهد عتبة للترانزستورات $V_{th}$=0.289 V وذلك عن طريق انتقاء متجه الكيرالية (19,0) بناءً على المعادلتين (1) و (2).

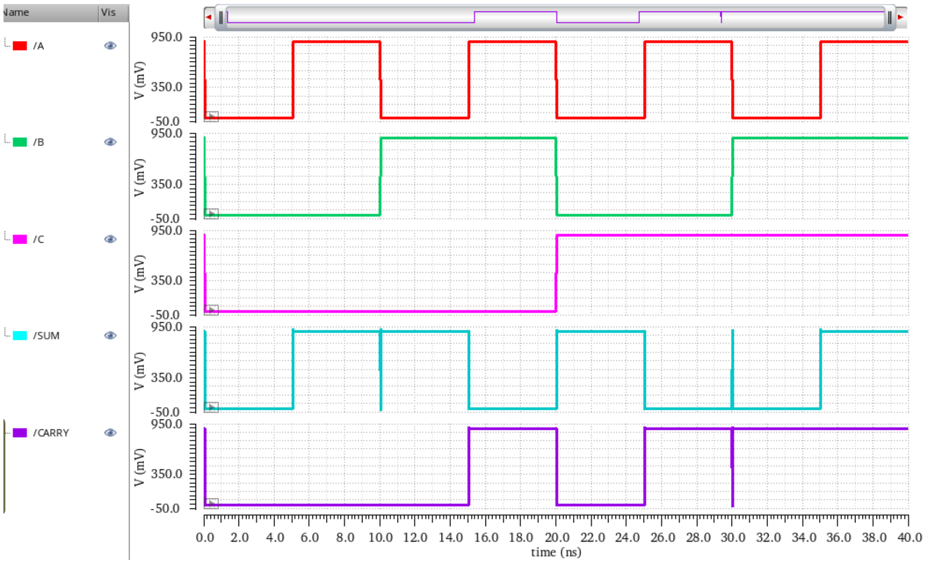



**الشكل (10): مخطط دارة الجامع الكامل التقليدي 28T-FA.**

تم من خلال عملية المحاكاة حساب البارامترات التالية لكل دارة وهي:

1. **الاستطاعة المتوسطة (Average Power)**: والتي نقوم بحسابها من خلال أخذ القيمة المتوسطة للاستطاعة المستهلكة في الدارة خلال زمن المحاكاة.
2. **التأخير (Delay)**: والذي يحدد من خلال الحالة الأسوأ للتأخير لجميع انتقالات الخرج في الدارة.
3. **مضروب التأخير بالاستطاعة (PDP)**: والذي نحصل عليه من خلال ضرب الاستطاعة المتوسطة بأسوأ حالة تأخير.
4. عدد الترانزستورات المستخدمة في الدارة.

كما تم إظهار منحنيات الدخل والخرج لدارة الجامع الكامل التقليدي 28T-FA من خلال إجراء المحاكاة الزمنية المبيّنة في الشكل (11).




**الشكل (11): المحاكاة الزمنية لمداخل ومخارج دارة الجامع الكامل التقليدي 28T-FA.**

يبيّن الجدول (2) نتائج محاكاة دارة الجامع الكامل التقليدي 28T-FA:

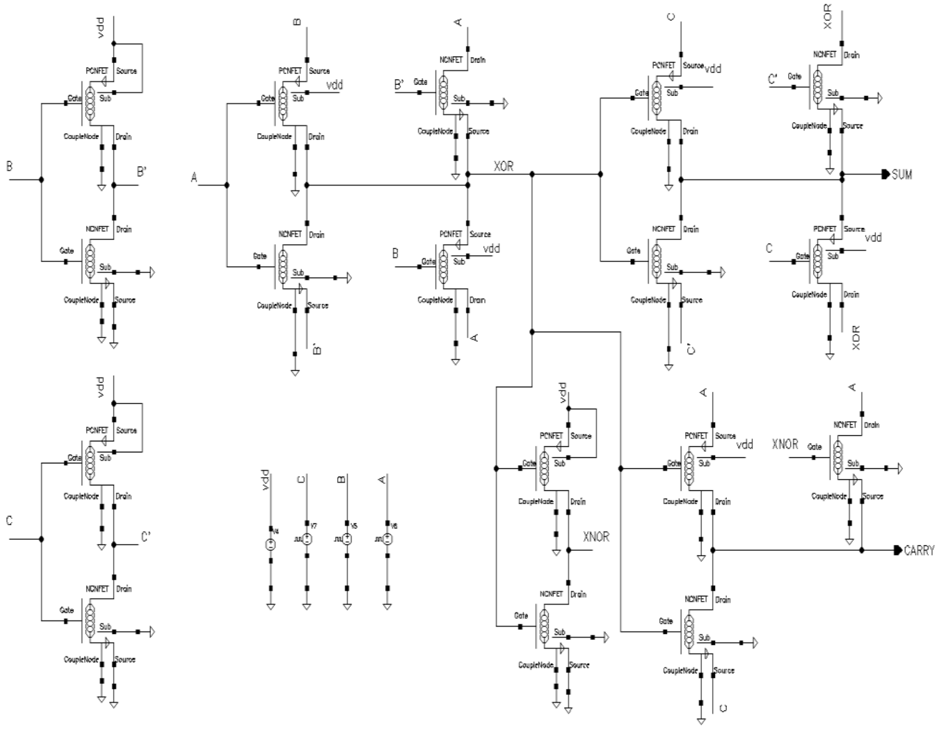
**الجدول (2): نتائج محاكاة دارة الجامع الكامل التقليدي 28T-FA.**

| | الاستطاعة المتوسطة (nW) | التأخير (ps) | مضروب التأخير بالاستطاعة (zJ) | عدد الترانزستورات |
|---|---|---|---|---|
| **28T-FA** | 9.07 | 11.54 | 104.667 | 28 |

## 2.6 دارة الجامع الكامل 17T (17T-FA):

تمت محاكاة دارة الجامع الكامل 17T-FA المكونة من 17 ترانزستوراً، والمبيّنة في الشكل (12) باستخدام بارامترات تشغيل مشابهة لدارة الجامع الكامل التقليدي 28T-FA. وتتكون بنية الجامع

الكامل 17T-FA من بوابتين XOR وناخب1×2 للحصول على إشارتي الخرج، وتعتمد هذه الدارة على استخدام تقنية GDI مع ترانزستورات إضافية للحصول على جهد خرج كامل التأرجح [8]. تم استعراض نتائج المحاكاة في الجدول (3).

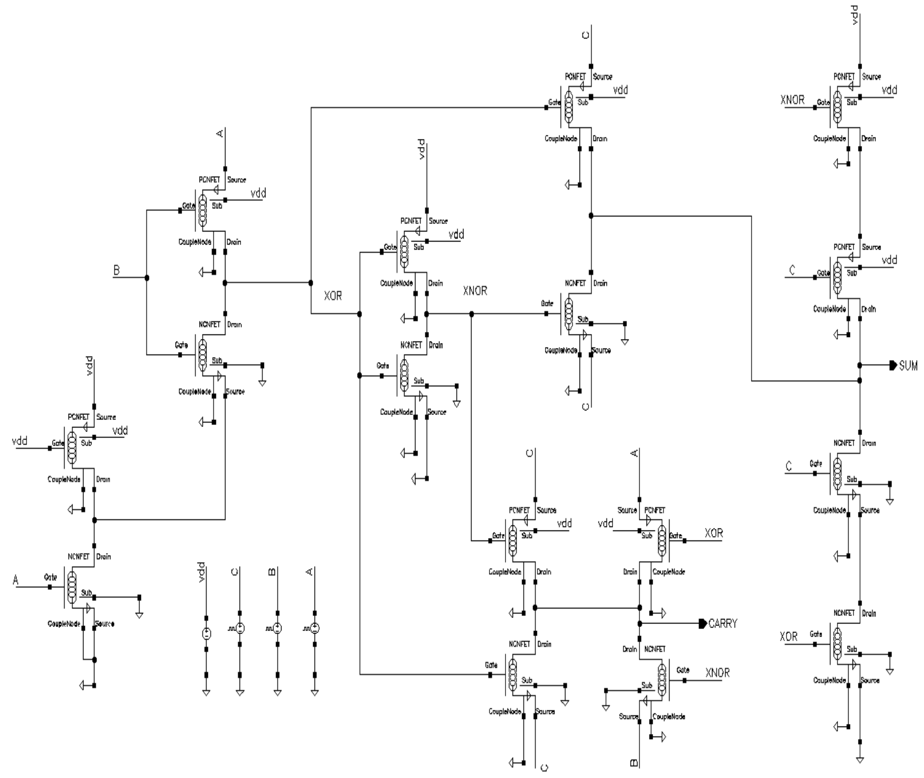



**الشكل (12): مخطط دارة الجامع الكامل 17T-FA.**

## 3.6 دارة الجامع الكامل 16T (16T-FA):

تمت محاكاة دارة الجامع الكامل 16T-FA المبيّنة في الشكل (13) باستخدام بارامترات تشغيل مشابهة لدارة الجامع الكامل التقليدي 28T-FA. تتكون هذه الدارة من 16 ترانزستوراً وتعتمد على استخدام تقنيتي PTL وTG، مما يساعد على انخفاض كل من استهلاك الاستطاعة والتأخير

ومضروب التأخير بالاستطاعة (PDP) في الدارة، ويساهم في الحصول على جهد خرج كامل التأرجح [21]. تم إظهار نتائج المحاكاة في الجدول (3).

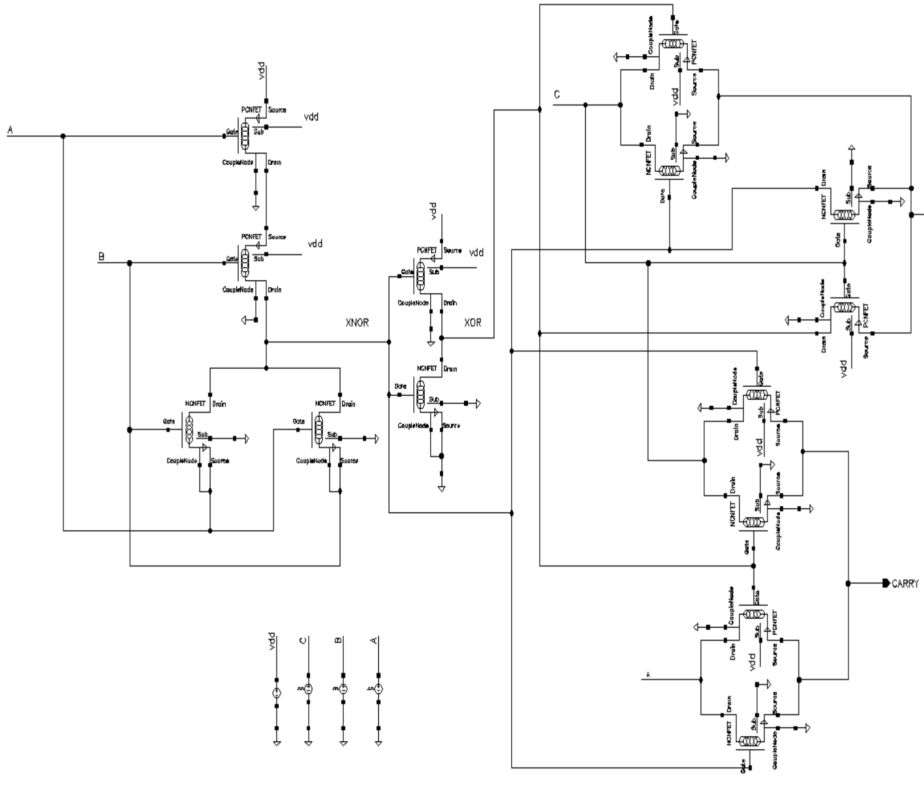



**الشكل (13): مخطط دارة الجامع الكامل 16T-FA.**

## 4.6 دارة الجامع الكامل 14T (14T-FA):

تمت محاكاة دارة الجامع الكامل 14T-FA المكونة من 14 ترانزستوراً، كما هو مبيّن في الشكل (14) باستخدام بارامترات تشغيل مشابهة لدارة الجامع الكامل التقليدي 28T-FA. وهي تعتمد على تقنية بوابات الإرسال TG للحصول على إشارة الحمل (CARRY)، وعلى تقنيتي PTL و TG

للحصول على إشارة الخرج (SUM) [22]. تم استعراض نتائج المحاكاة لدارة الجامع الكامل 14T-FA في الجدول (3).

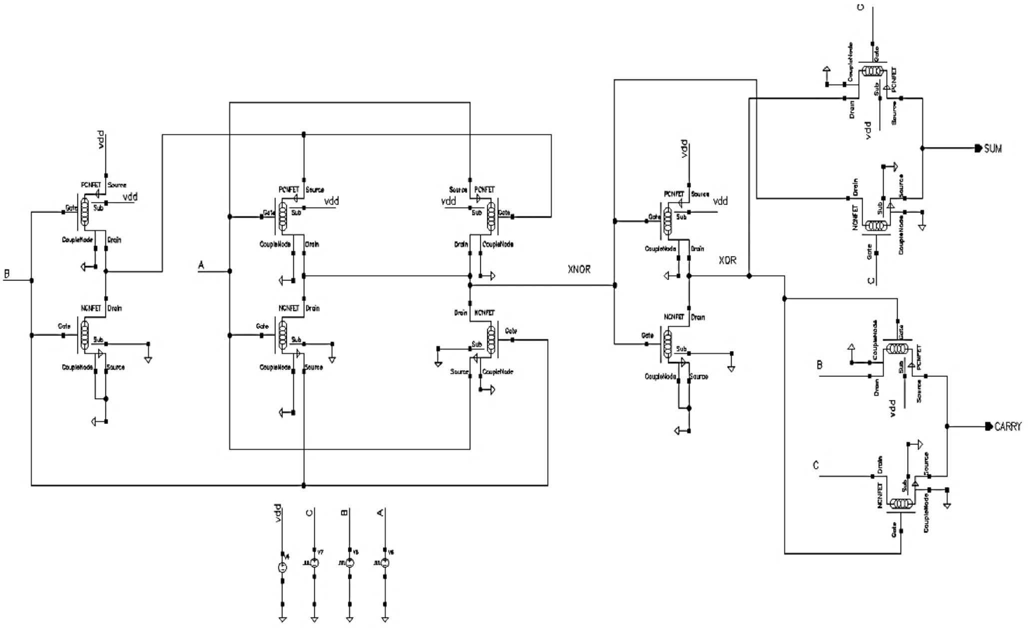



**الشكل (14): مخطط دارة الجامع الكامل 14T-FA.**

## 5.6 دارة الجامع الكامل 12T (12T-FA):

تم محاكاة دارة الجامع الكامل 12T-FA والتي تتكون من 12 ترانزستوراً، كما هو مبيّن في الشكل (15) باستخدام بارامترات تشغيل مشابهة لدارة الجامع الكامل التقليدي 28T-FA. تعتمد دارة الجامع الكامل 12T-FA على استخدام بنية XNOR جديدة منخفضة الاستطاعة وعلى استخدام

ناخبين 1×2 للحصول على إشارتي الخرج SUM وCARRY [10]. تم استعراض نتائج المحاكاة في الجدول (3).

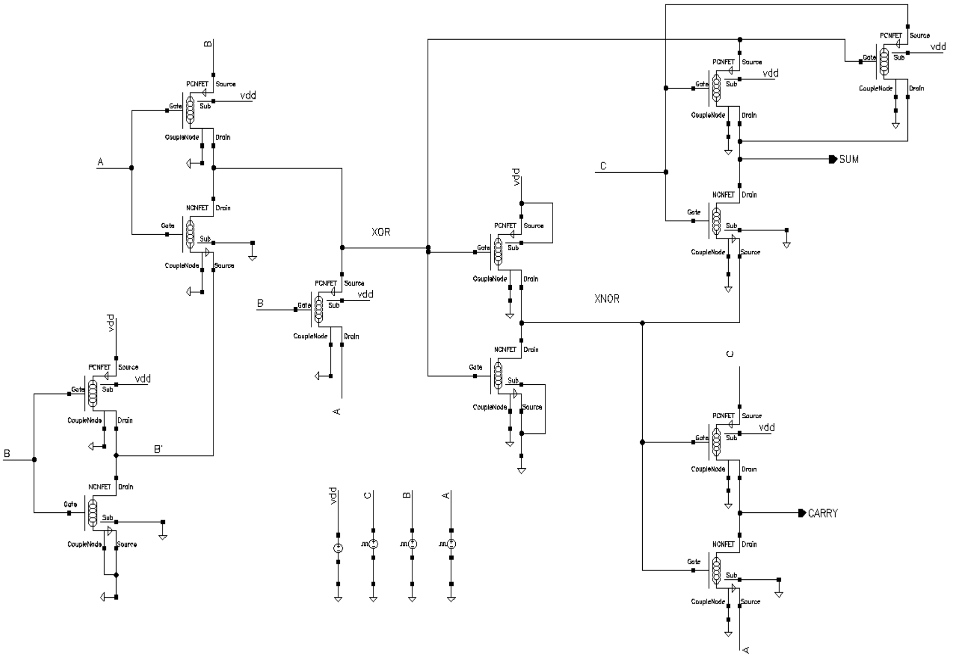



**الشكل (15): مخطط دارة الجامع الكامل 12T-FA.**

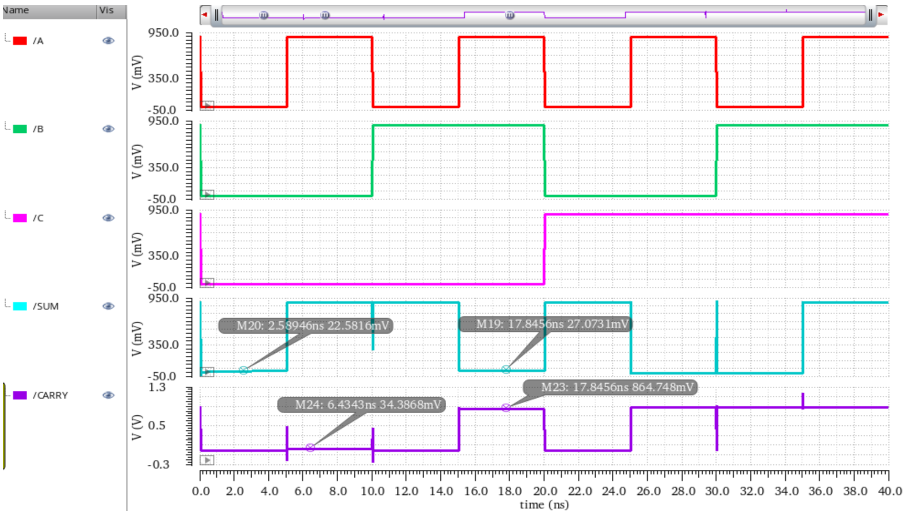
## 6.6 الجامع الكامل الهجين المقترح (H-FA):

تمت محاكاة دارة الجامع الكامل الهجينة H-FA المقترحة والمكونة من 12 ترانزستوراً، كما هو مبيّن في الشكل (16) عند بارامترات تشغيل مشابهة لدارة الجامع الكامل التقليدي 28T-FA، حيث تعتمد دارة H-FA المقترحة على تقليل عدد الترانزستورات المستخدمة في الدارة من خلال المزج ما بين تقنيتي PTL وGDI، والاستفادة من خصائص ترانزستورات CNTFET القادرة على تمرير "0" و"1" منطقي بشكل ممتاز بنوعيها (P وN). حيث نلاحظ من الشكل (17) الذي يُظهر منحنيات الدخل والخرج للدارة المقترحة أن إشارة المجموع (SUM) تتمتع بـ "1" منطقي

قوي (0.9 V) و "0" منطقي إما قوي (0 V) أو بزيادة طفيفة لا تتجاوز 0.027 V عند حالتين في الدخل، وهما ABC=000 و ABC=110. كما نلاحظ من الشكل (17) أن إشارة الحمل CARRY تتمتع بـ "1" منطقي قوي (0.9 V) أو بانخفاض بسيط في الجهد ليصبح 0.864 V في حالة واحدة عندما يكون الدخل المطبق هو ABC=110، كما تتمتع إشارة الحمل CARRY بـ "0" منطقي إما قوي (0 v) أو بزيادة طفيفة في الجهد لا تتجاوز 0.034 V في حالة واحدة عندما يكون الدخل المطبق ABC=100. وعليه نلاحظ أن إشارتي الخرج للدارة المقترحة H-FA متأرجحتان بشكل كامل تقريباً. تم استعرض نتائج المحاكاة للدارة المقترحة H-FA في الجدول (3).




**الشكل (16): مخطط دارة الجامع الكامل الهجينة المقترحة H-FA.**




الشكل (17): المحاكاة الزمنية لمداخل ومخارج دارة الجامع الكامل الهجينة H-FA المقترحة.

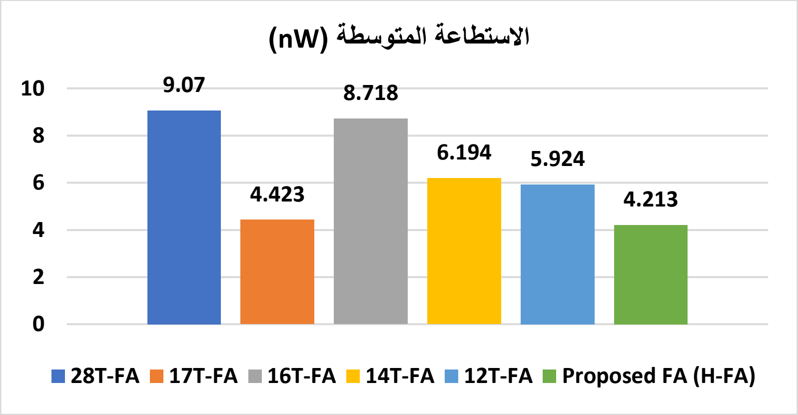
**الجدول (3): نتائج محاكاة دارات الجامع الكامل 28T-FA و17T-FA و16T-FA و14T-FA و12T-FA و(Proposed FA (H-FA عند جهد تغذية Vdd=0.9 V**

| Proposed FA (H-FA) | 12T-FA | 14T-FA | 16T-FA | 17T-FA | 28T-FA | |
|---|---|---|---|---|---|---|
| 4.213 | 5.924 | 6.194 | 8.718 | 4.423 | 9.07 | الاستطاعة المتوسطة (nw) |
| 10.42 | 9.791 | 10.07 | 10.08 | 11.33 | 11.54 | التأخير (ps) |
| 43.899 | 58.001 | 62.373 | 87.877 | 50.112 | 104.667 | مضروب التأخير بالاستطاعة PDP (zJ) |
| 12 | 12 | 14 | 16 | 17 | 28 | عدد الترانزستورات |

## 7. الاستنتاجات:

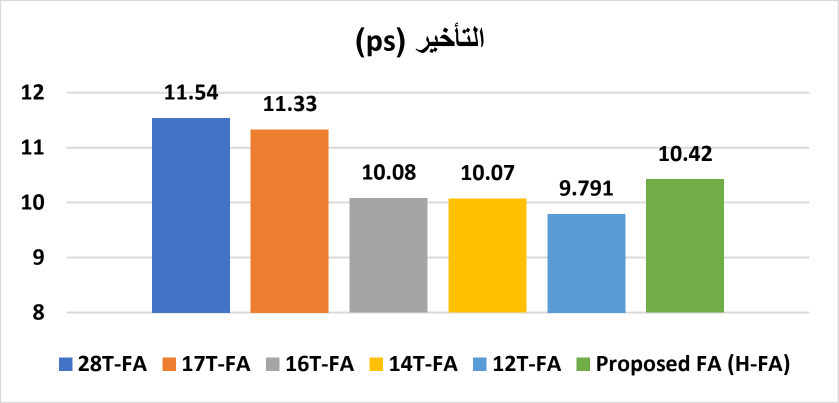
نستنتج من خلال عملية المقارنة ما بين دارات الجامع الكامل المدروسة ما يلي:

- نلاحظ عند المقارنة من حيث استهلاك الاستطاعة أن الدارة المقترحة H-FA هي الأقل استهلاكاً للاستطاعة كما هو مبيّن في الشكل (18)، بسبب تقليل عدد الترانزستورات المستخدمة في بنية الدارة الناتج عن استخدام تقنيتي PTL وGDI، حيث خفضت من استهلاك الاستطاعة بالمقارنة مع الدارات 28T-FA و17T-FA و16T-FA و14T-FA و12T-FA بنسبة 53.55 % و4.74 % و51.67 % و31.98 % و28.88 % على التوالي.



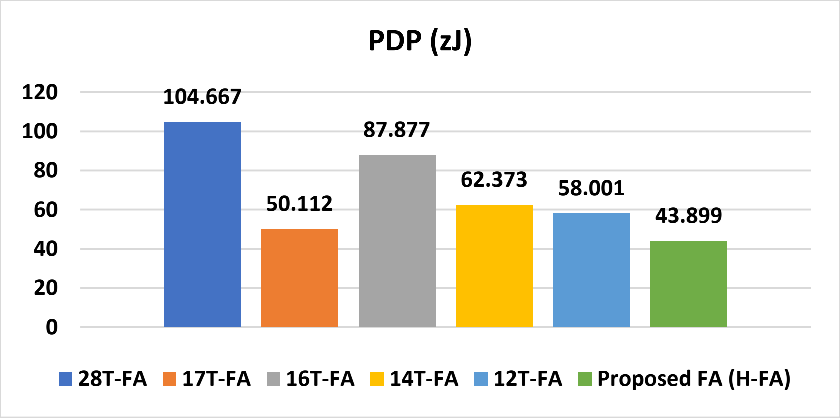

**الشكل (18): مقارنة من حيث استهلاك الاستطاعة المتوسطة بين دارات الجامع الكامل المدروسة.**

- نلاحظ عند المقارنة من حيث التأخير أن الدارة المقترحة H-FA أقل تأخيراً بالمقارنة مع الدارات 28T-FA و17T-FA بنسبة 9.7 % و8.03 % على التوالي، في حين تُظهر الدارات 16T-FA و14T-FA و12T-FA تأخيراً أقل بقليل من الدارة المقترحة بنسبة 3.26 % و3.35 % و6.03 % على التوالي كما هو مبيّن في الشكل (19).



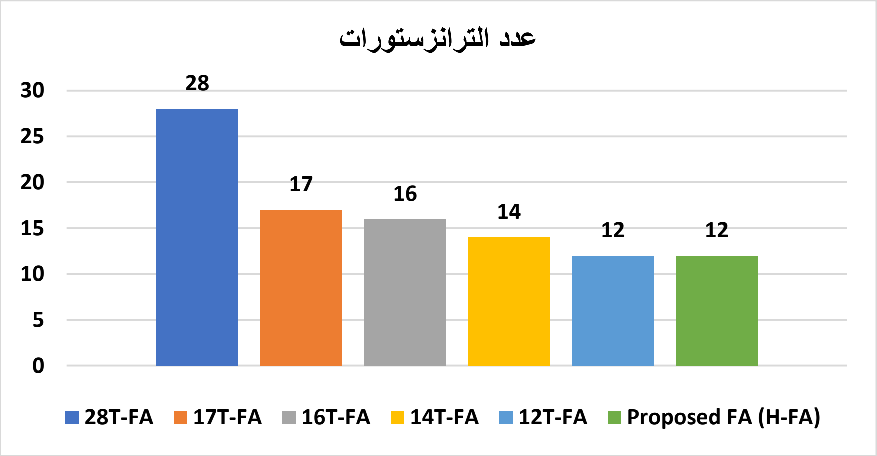

**الشكل (19): مقارنة من حيث التأخير بين دارات الجامع الكامل المدروسة.**

- نلاحظ عند المقارنة من حيث مضروب التأخير بالاستطاعة (PDP) أن الدارة المقترحة H-FA تمتلك قيمة PDP هي الأقل بين الدارات المدروسة كما هو مبيّن في الشكل (20)، حيث خفضت الدارة المقترحة من قيمة PDP بالمقارنة مع الدارات 28T-FA و17T-FA و16T-FA و14T-FA و12T-FA بنسبة % 58.06 و% 12.41 و% 50.05 و% 29.63 و% 24.33 على التوالي.



**الشكل (20): مقارنة من حيث مضروب التأخير بالاستطاعة (PDP) بين دارات الجامع الكامل المدروسة.**

- نلاحظ عند المقارنة من حيث عدد الترانزستورات ان الدارة المقترحة H-FA وبالتساوي مع دارة 12T-FA هما الأقل في عدد الترانزستورات المستخدمة في البنية بـ 12 ترانزستوراً كما هو مبيّن في الشكل (21)، حيث خفضت الدارة المقترحة H-FA من عدد الترانزستورات بالمقارنة مع الدارات 28T-FA و17T-FA و16T-FA و14T-FA بنسبة % 57.14 و% 29.41 و% 25 و% 14.28 على التوالي.




**الشكل (21): مقارنة من حيث عدد الترانزستورات بين دارات الجامع الكامل المدروسة.**

نستنتج من خلال المقارنة السابقة ونتائج المحاكاة الموضحة في الجدول (3) أن الدارة المقترحة H-FA تُظهر تفوقاً واضحاً مقارنةً بالتصاميم الأخرى، فهي الأقل استهلاكاً للاستطاعة والأصغر مساحةً بسبب تقليص عدد الترانزستورات المستخدمة في بنيتها. كما أظهرت النتائج أن الدارة المقترحة قد سجّلت أدنى قيمة لمضروب التأخير بالاستطاعة (PDP)، مما يدل على التوازن ما بين استهلاك الاستطاعة والتأخير، وهو ما يضمن استهلاك استطاعة منخفض مع الحفاظ على

سرعة المعالجة. بناءً على هذه الخصائص فإن دارة الجامع الكامل المقترحة H-FA تعتبر مناسبة للتطبيقات التي تفرض قيوداً صارمة على المساحة واستهلاك الاستطاعة، ومن أهمها:

- الأجهزة المحمولة والأجهزة القابلة للارتداء: وذلك لزيادة عمر البطاريات وتصغير حجم الأجهزة كما في الهواتف والساعات الذكية.
- حساسات إنترنت الأشياء (IoT): والتي تتطلب استهلاك استطاعة منخفض واستدامة تشغيلية طويلة.
- المعالجات منخفضة الاستطاعة والعالية الكثافة.

## 8. الخاتمة:

تم في هذا البحث اقتراح دارة جامع كامل هجينة H-FA باستخدام ترانزستورات الأثر الحقلي ذات الأنابيب النانوية الكربونية CNTFET بتقنية تصنيع 32 nm. يعتمد التصميم المقترح على دمج تقنيتي PTL وGDI، ويستخدم في بنيته 12 ترانزستوراً فقط. أجريت عمليات المحاكاة باستخدام برنامج Cadence Virtuoso 6.1.7 عند جهد تغذية $V_{dd}$=0.9 V، وتمت مقارنة الدارة المقترحة مع عدة بنى مختلفة وهي دارة الجامع الكامل التقليدي 28T-FA و17T-FA و16T-FA و14T-FA و12T-FA، وذلك من حيث استهلاك الاستطاعة والتأخير ومضروب التأخير بالاستطاعة (PDP) وعدد الترانزستورات.

تبيّن من خلال نتائج المحاكاة أن دارة الجامع الكامل المقترحة H-FA تتميز باستهلاك استطاعة منخفض، حيث انخفضت الاستطاعة المستهلكة مقارنة بالدارات 28T-FA و17T-FA و16T-FA و14T-FA و12T-FA بنسبة % 53.55 و% 4.74 و% 51.67 و% 31.98 و 28.88 % على التوالي. كما سجلت الدارة المقترحة أدنى قيمة لمضروب التأخير بالاستطاعة (PDP)، حيث انخفضت قيمة PDP مقارنة مع الدارات 28T-FA و17T-FA و16T-FA و14T-FA و12T-FA بنسبة % 58.06 و% 12.41 و% 50.05 و% 29.63 و% 24.33 على

التوالي. كما تُعد الدارة المقترحة بالتساوي مع دارة 12T-FA هما الأقل في عدد الترانزستورات المستخدمة في البنية بـ 12 ترانزستوراً، حيث حققت الدارة المقترحة انخفاضاً في عدد الترانزستورات مقارنة بالدارات 28T-FA و17T-FA و16T-FA و14T-FA بنسبة % 57.14 و% 29.41 و% 25 و% 14.28 على التوالي. وبناءً على هذه النتائج، نستنتج أن دارة الجامع الكامل المقترحة H-FA هي الأصغر مساحةً والأقل استهلاكاً للاستطاعة، مما يجعلها مناسبة جداً للتطبيقات التي تفرض قيوداً صارمة على المساحة واستهلاك الاستطاعة، مثل الأجهزة المحمولة والأجهزة القابلة للارتداء وحساسات إنترنت الأشياء وتطبيقات الأنظمة المضمنة.

نخطط في أبحاثنا المستقبلية لاستكشاف استخدام ترانزستورات الأثر الحقلي ذات الأنابيب النانوية الكربونية (CNTFETs) في تصميم دارات الجامع الكامل عند تقنيات تصنيع أحدث مثل 22 nm و10 nm. وتحليل إمكانية دمج الدارة المقترحة ضمن وحدات حسابية أكبر مثل وحدة الحساب والمنطق (ALU) لتقييم كفاءتها على مستوى النظام.

## 9. المراجع:

1. Saini, J. K., Srinivasulu, A., & Kumawat, R. (2020). Fast and energy efficient full adder circuit using 14 CNFETs. *Solid State Electronics Letters*, *2*, 67–78. https://doi.org/10.1016/j.ssel.2020.09.002
2. Prakash, P., Mohana Sundaram, K., & Anto Bennet, M. (2018). A review on carbon nanotube field effect transistors (Cntfets) for ultra-low power applications. *Renewable and Sustainable Energy Reviews*, *89*, 194–203. https://doi.org/10.1016/j.rser.2018.03.021
3. Reddy Eamani, R., Nallathambi, V., & Asaithambi, S. (2023). A low-power high speed full adder cell using carbon nanotube field effect transistors. *Indonesian Journal of Electrical Engineering and Computer Science*, *31*(1), 134-142. https://doi.org/10.11591/ijeecs.v31.i1.pp134-142

4. عوض، ا.، & غندور، ع. (2024). تصميم ودراسة طوبولوجيا مرايا التيار باستخدام تقنية الأنابيب النانوية الكربونية CNTFET وتقنية ترانزستورات PTM_FET. مجلة جامعة حمص – سلسلة العلوم الهندسية الميكانيكية والكهربائية والمعلوماتية، *46*(2)، 103–134.
5. Taheri, M., Akbar, R., Safaei, F., & Moaiyeri, M. H. (2016). Comparative analysis of adiabatic full adder cells in CNFET technology. *Engineering Science and Technology, an International Journal*, *19*(4), 2119–2128. https://doi.org/10.1016/j.jestch.2016.08.007
6. Hemanth, B. S., & Sathish Kumar, M. (2023). Low power, less area, and highly efficient hybrid 1-bit full adder. *Journal of Physics: Conference Series*, *2571*(1), 012026. https://doi.org/10.1088/1742-6596/2571/1/012026
7. Yin, N., Pan, W., Yu, Y., Tang, C., & Yu, Z. (2023). Low-power pass-transistor logic-based full adder and 8-bit multiplier. *Electronics*, *12*(15), 3209. https://doi.org/10.3390/electronics12153209
8. Anjaneyulu, B., & Reddy, N. S. S. (2024). Design of low power high-speed full, swing 11T CNTFET adder. *E-Prime - Advances in Electrical Engineering, Electronics and Energy*, *8*, 100516. https://doi.org/10.1016/j.prime.2024.100516
9. Duanmu, Y., Yang, J., Li, J., Xue, X., Jing, M., & Zeng, X. (2020). A 16-bit arithmetic logic unit design by using gate diffusion input. *2020 IEEE 15th International Conference on Solid-State & Integrated Circuit Technology (ICSICT)*, 1–3. https://doi.org/10.1109/ICSICT49897.2020.9278245
10. Venkat, D., Mendez, T., Samanth, R., & Nayak, S. G. (2023). Novel design of ripple carry adder using high speed 12t hybrid mos transistors. *Journal of Physics: Conference Series*, *2571*(1), 012025. https://doi.org/10.1088/1742-6596/2571/1/012025
11. Aggarwal, P., & Garg, B. (2024). Energy efficient full swing gdi based adder architecture for arithmetic applications. *Wireless Personal*

*Communications*, *135*(3), 1663–1678. https://doi.org/10.1007/s11277-024-11140-0

12. Araújo, A. F. (2024). *Comparison of full-adder cell layouts for 90 nm CMOS technology* (Master's thesis, Universidade do Porto (Portugal)).
13. Srinivas, D., Reddy, N. S. S., & Naik, B. R. (2023). Design and analysis of hybrid 10T adder for low power applications. *E-Prime - Advances in Electrical Engineering, Electronics and Energy*, *6*, 100379. https://doi.org/10.1016/j.prime.2023.100379
14. بشور، خ.، العلي، م. د.، & العبود، ع. (2018). محاكاة البارامترات التي تؤثر على سلوك ترانزستورات الأثر الحقلي المصنعة من الأنابيب النانوية. *مجلة جامعة حمص – سلسلة العلوم للهندسة الميكانيكية والكهربائية والمعلوماتية*، *40*(64)، 133–160.
15. Takbiri, M., Navi, K., & Mirzaee, R. F. (2022). Systematic transistor sizing of a cnfet-based ternary inverter for high performance and noise margin enlargement. *IEEE Access*, *10*, 10553–10565. https://doi.org/10.1109/ACCESS.2022.3144981
16. Gireesh, N., Basha, S. J., & Elbarbary, A. (2024). CNTFET-based digital arithmetic circuit designs in ternary logic with improved performance. *E-Prime - Advances in Electrical Engineering, Electronics and Energy*, *7*, 100427. https://doi.org/10.1016/j.prime.2024.100427
17. Venkatesan, C., Thabsera, S. M., Sumithra, M. G., & Suriya, M. (2019). Analysis of 1- bit full adder using different techniques in Cadence 45nm Technology. *2019 5th International Conference on Advanced Computing & Communication Systems (ICACCS)*, 179–184. https://doi.org/10.1109/ICACCS.2019.8728449
18. Wairya, S., Pandey, H., Nagaria, R. K., & Tiwari, S. (2010). Ultra low voltage high speed 1-bit CMOS adder. 2010 International Conference on Power, Control and Embedded Systems, 1–6. https://doi.org/10.1109/icpces.2010.5700479
19. Kandpal, J. (2020). Design and implementation of high-performance hybrid full adders using XOR–XNOR in 90 nm CMOS technology

(Doctoral dissertation, GB Pant University of Agriculture and Technology, Pantnagar, Uttarakhand).

20. Nigam, A., & Singh, R. (2016). Comparative analysis of 28T full adder with 14T full adder using 180 nm. *International Journal of Engineering Science Advance Research, 2*(1), 27–32. https://ramauniversityjournal.com/engineering/pdf_may/27-32.pdf
21. Tirumalasetty, V. R., Babulu, K., & Naidu, G. A. (2024). Efficient 32-nm cntfet-based 1-bit adder: A fast and energy-optimized design. *WSEAS TRANSACTIONS ON SYSTEMS*, *23*, 141–148. https://doi.org/10.37394/23202.2024.23.16
22. Upadhyay, R. M., Chauhan, R. K., & Kumar, M. (2023). Performance evaluation of efficient low power 1-bit hybrid full adder. *ADCAIJ: Advances in Distributed Computing and Artificial Intelligence Journal*, *11*(4), 475–488. https://doi.org/10.14201/adcaij.28558
23. Taheri Tari, H., Dabaghi Zarandi, A., & Reshadinezhad, M. R. (2019). Design of a high performance CNTFET-based full adder cell applicable in: Carry ripple, carry select and carry skip adders. *Microelectronic Engineering*, *215*, 110980. https://doi.org/10.1016/j.mee.2019.110980